

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-206568

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

G02F 1/1365
H01L 29/786
H01L 21/336
H04N 5/74

(21)Application number : 11-004681

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.01.1999

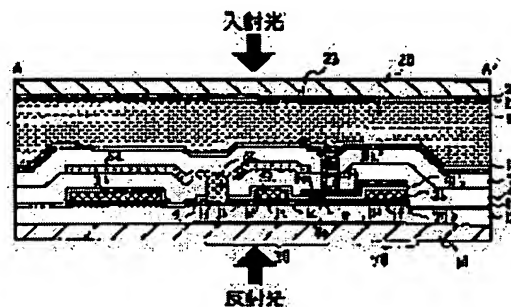
(72)Inventor : MURAIDE MASAO

(54) ELECTROOPTICAL DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electrooptical device of a TFT(thin film transistor) active matrix driving system that is equipped with input/output terminals electrically connectable excellently to an external circuit or the like, that is capable of curtailing the number of processes in the manufacturing, and that is also capable of high definition picture display.

SOLUTION: This device is equipped with a TFT 30, data line 6a, scanning line 3a, capacity line 3b and a pixel electrode 9a on a TFT array substrate 10. The pixel electrode 9a and the TFT 30 are electrically connected by two contact holes 8a, 8b through a barrier layer 80a. The input/output terminals are provided with a conductive layer for terminals, where the layer is formed simultaneously with the same film as that of the barrier layer.



LEGAL STATUS

[Date of request for examination]

16.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] To the image display field on a substrate, two or more pixel electrodes, and two or more scanning lines and two or more data lines, The thin film transistor connected to said each scanning line and said each data line, respectively, It intervenes, respectively between the semi-conductor layer of said thin film transistor, and said pixel electrode. On the other hand, it has the 1st conductive layer by which electrical installation was carried out to said semi-conductor layer, and electrical installation was carried out on the other hand to said pixel electrode. Some terminals located around said image display field on said substrate are the electro-optic devices characterized by being constituted by the 2nd conductive layer which consists of the same film as said 1st conductive layer.

[Claim 2] Said terminal is an electro-optic device according to claim 1 characterized by including at least one of the checking terminals for conducting inspection of the vertical flow terminal for supplying common potential to the opposite substrate by which opposite arrangement is carried out, and the electro-optic device concerned in an external circuit, the external circuit connection terminal connected, and said substrate.

[Claim 3] Said 2nd conductive layer is an electro-optic device according to claim 1 or 2 characterized by connecting with the end of the signal wiring which consisted of same film as said data line, and constituting said terminal.

[Claim 4] Said 1st conductive layer and said 2nd conductive layer are an electro-optic device given in any 1 term of claims 1-3 characterized by intervening between the layers of said scanning line and said data line.

[Claim 5] Said 1st conductive layer and said 2nd conductive layer are an electro-optic device given in any 1 term of claims 1-3 characterized by intervening between the layers of said data line and said pixel electrode.

[Claim 6] It is an electro-optic device given in any 1 term of claims 1-5 which are further equipped with the interlayer insulation film which intervenes between the layers of said 2nd conductive layer and said pixel electrode, and are characterized by the 2nd conductive layer having said aperture for terminals punctured by said interlayer insulation film.

[Claim 7] An electro-optic device given in any 1 term of claims 1-5 characterized by having further the interlayer insulation film which intervenes between the layers of said 2nd conductive layer and said pixel electrode, and the conductive thin film exposed as a front face for connection of said terminal while being formed from the same film as said pixel electrode on said 2nd conductive layer through said aperture for terminals punctured by said interlayer insulation film.

[Claim 8] The electro-optic device according to claim 6 or 7 characterized by the ability of said 2nd conductive layer which intervenes between the layers of said 2nd conductive layer and said substrate, and which any one layer is formed in the shape of an island at least, and is located in said said puncturing circles for terminals to heap up corresponding to the shape of this island in said substrate side of said 2nd conductive layer part which sees superficially and is located in said puncturing circles for terminals.

[Claim 9] Said 1st conductive layer and said 2nd conductive layer are an electro-optic device given in any 1 term of claims 1-8 characterized by including a refractory metal.

[Claim 10] The process which forms the semi-conductor layer of a thin film transistor in the image display field on a substrate, The process which forms an insulating thin film on said semi-conductor layer, and the process which forms the scanning line containing a gate electrode on said insulating thin film, The process which forms the 1st interlayer insulation film on said scanning line, and the process which punctures the 1st contact hole which leads to said each of semi-conductor layer to said insulating thin film and said 1st interlayer insulation film, At the same time it forms the 1st conductive layer so that electrical installation may be carried out to said semi-conductor layer through said 1st contact hole on said 1st interlayer insulation film The process which forms the 2nd conductive layer which constitutes a terminal partially at least with the same film as said 1st conductive layer around said image display field on said substrate, The process which forms the 2nd interlayer insulation film on said 1st conductive layer and said 2nd conductive layer, The process which forms the data line on said 2nd interlayer insulation film, and the process which forms the 3rd interlayer insulation film on said data line, The process which forms said aperture for terminals which leads to said 2nd conductive layer at the same time it punctures the 2nd contact hole which leads to said 1st interlayer insulation film and said 2nd interlayer insulation film at said 1st conductive layer, The manufacture approach of the electro-optic device characterized by including the process which forms a pixel electrode so that electrical installation may be carried out to said 1st conductive layer through said 2nd contact hole.

[Claim 11] The process which forms the semi-conductor layer of a thin film transistor in the image display field on a substrate, The process which forms an insulating thin film on said semi-conductor layer, and the process which forms the scanning line containing a gate electrode on said insulating thin film, The process which forms the 1st interlayer insulation film on said scanning line, and the process which punctures the 1st contact hole which leads to said semi-conductor layer to said insulating thin film and said 1st interlayer insulation film, The process which forms a junction conductive layer so that electrical installation may be carried out to said semi-conductor layer through said 1st contact hole from the same film as said data line at the same time it forms the data line in the predetermined field on said 1st interlayer insulation film, The process which forms the 2nd interlayer insulation film on said data line and said junction conductive layer, The process which punctures the 2nd contact hole which leads to said 2nd interlayer insulation film at said junction conductive layer, At the same time it forms the 1st conductive layer on said 2nd interlayer insulation film so that electrical installation can be taken to said junction conductive layer through said 2nd contact hole The process which forms the 2nd conductive layer which constitutes a terminal partially at least with the same film as said 1st conductive layer around said image display field on said substrate, The process which forms the 3rd interlayer insulation film on said 1st conductive layer and said 2nd conductive layer, The process which punctures said aperture for terminals which leads to it at said 2nd conductive layer at the same time it punctures the 3rd contact hole which leads to said 1st conductive layer to said 3rd interlayer insulation film, The manufacture approach of the electro-optic device characterized by including the process which forms a pixel electrode so that electrical installation may be carried out to said 1st conductive layer through said 3rd contact hole.

[Claim 12] The manufacture approach of the electro-optic device according to claim 10 or 11 characterized by forming the signal wiring by which the end was connected to said terminal from the same film as said data line in the process which forms said data line.

[Claim 13] The manufacture approach of the electro-optic device according to claim 10 characterized by to include further the process which punctures the contact hole for connecting the end of said signal wiring to said terminal at the same time it punctures the contact hole for connecting said data line to said semi-conductor layer before the process which forms the signal wiring by which the end was connected to said terminal from the same film as said data line in the process which forms said data line, and forms said data line.

[Claim 14] The manufacture approach of an electro-optic device given in any 1 term of claims 10-13 characterized by forming the conductive thin film which becomes said puncturing circles for terminals

from the same film as said pixel electrode in the process which forms said pixel electrode.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the electro-optic device of a active-matrix drive method, and the technical field of the manufacture approach, and belongs to the technical field of the manufacture approach of a pixel electrode, the thin film transistor for pixel switching (TFT is called suitably below ThinFilm Transistor:), the object for an input, the object for an output, or the terminal for I/O especially.

[0002]

[Background of the Invention] Switching elements, such as TFT by which came to pinch electrooptic material, such as liquid crystal, between the substrates of a pair, and the pixel electrode of plurality [shape / of a matrix] was prepared in one substrate by being prepared at for example, each pixel electrode and each pixel, need to be conventionally connected mutually for this kind of electro-optic device. However, among both, two or more interlayer insulation films for carrying out the electric insulation of wiring and these of the scanning line, a capacity line, the data line, etc. mutually are included, for example, since 1000nm (nano meter) extent or a thicker laminated structure than it exists, it becomes difficult to puncture the contact hole for carrying out electrical installation of between both.

[0003] On the other hand, in this kind of electro-optic device, although the data line, the scanning line, a capacity line, etc. are wired in an image display field In the boundary region located around the image display field on a substrate For example, since at least one side of either [at least] the scanning line or the data line flowing wiring, and the scanning line and the data line is driven, in order to conduct the performance test, the signal wiring for supplying various signals, such as a clock signal, a control signal, a power-source signal, and a picture signal, to a built-in circumference circuit etc. is wired. And it is common that the input/output terminal for connecting such signal wiring with an external circuit is prepared in the terminal area which is a part of boundary region. Each signal wiring is formed from the film mainly same during wiring in an image display field as the data lines, such as aluminum (aluminum) film which is low resistance most, and, more specifically, is formed at least from the same film as the scanning lines, such as polish recon film of other signal wiring which needs to intersect this formed into low resistance by the dope of impurity ion about a part for an intersection. On the other hand, the pixel electrode formed in an image display field is mainly formed from the ITO (Indium Tin Oxide) film which is a transparent electrode.

[0004]

[Problem(s) to be Solved by the Invention] Under a general request called low-cost-izing in this kind of electro-optic device, the reduction of a routing counter and the simplification of a manufacture process in a manufacture process are very important, without sacrificing grace of a display image.

[0005] However, it sets in the manufacture process which forms an input/output terminal in a terminal area like ****. aluminum film and the ITO film of a pixel electrode which constitute especially signal wiring If it is made to contact directly, in order that aluminum film may cause electric corrosion, before forming a pixel electrode in an image display field, in the manufacture process on the same substrate It

is necessary to puncture an aperture by setting without puncturing the aperture for terminals (aperture) to the interlayer insulation film on the signal wiring which should be made the input/output terminal in a terminal area, and removing the unnecessary ITO film and unnecessary interlayer insulation film on the part which serves as an aperture after pixel electrode formation. That is, according to the Prior art mentioned above, in order to form an input/output terminal in a terminal area, exclusive processes, such as a photolithography process of dedication for input/output terminal formation and an etching process, are needed for the image display field separately from the process which forms a pixel electrode etc., the routing counter of a manufacture process increases, and there is a trouble that a manufacture process is complicated.

[0006] On the other hand, although the puncturing process of the aperture of the input/output terminal like **** and the puncturing process of the contact hole for pixel electrodes will be able to be temporarily performed to coincidence from the ITO film of a pixel electrode, and the polish recon film which constitutes the scanning line with sufficient electric affinity if near an input/output terminal is formed even if there is little signal wiring Now, the trouble that one the wiring resistance from an input/output terminal to signal wiring becomes high, and causes signal degradation by the part which consists of this polish recon film arises.

[0007] Furthermore, since the front face for connection of an input/output terminal is located in the aperture punctured by the interlayer insulation film located as the upper layer, the difference of the height of the edge part front face of an aperture, and the height of the front face for connection -- depending on the relation between this difference and the magnitude of an aperture further In making sticking-by-pressure connection of the front face for connection, and the external circuits, such as FPC (flexible print circuit: flexible printed circuit), with the anisotropy electric conduction film (ACF: Anisotropic Conductive Film) etc. The amount of [of an aperture] edge interferes and there is also a trouble of causing poor sticking by pressure.

[0008] This invention was made in view of the above-mentioned trouble, and it has the input/output terminal in which electrical installation is possible good between external circuits etc., and while the routing counter reduction in a manufacture process is possible, let it be a technical problem to offer the high-definition electro-optic device in which image display is possible and its high-definition manufacture approach.

[0009]

[Means for Solving the Problem] In order that the electro-optic device of this invention may solve the above-mentioned technical problem, to the image display field on a substrate Two or more pixel electrodes, The thin film transistor connected to the scanning line and two or more data lines, and two or more said each scanning line and said each data line, It has the 1st conductive layer by which intervened between the semi-conductor layer of said thin film transistor, and said pixel electrode, and electrical installation was carried out to said semi-conductor layer by one side, and electrical installation was carried out on the other hand to said pixel electrode. Some terminals located around said image display field on said substrate are constituted by the 2nd conductive layer which consists of the same film as said 1st conductive layer.

[0010] According to the electro-optic device of this invention, into the image display field, the 1st conductive layer intervenes between a semi-conductor layer and a pixel electrode, electrical installation is carried out to the semi-conductor layer by one side, and electrical installation is carried out on the other hand to the pixel electrode. Therefore, the 1st conductive layer becomes possible [avoiding the difficulty in the case of functioning as a conductive layer for the junction for carrying out electrical installation of a pixel electrode and the drain field of a semi-conductor layer, for example, carrying out direct continuation of between both through one contact hole].

[0011] On the other hand, the 2nd conductive layer consists of the same film as the 1st conductive layer in a terminal, and constitutes a terminal partially at least. Therefore, in the manufacture process of the electro-optic device concerned, the formation process of the 2nd conductive layer in a terminal area can be performed to the formation process and coincidence of the 1st conductive layer in an image display field. That is, since a part of exclusive processes [at least] for forming a terminal are reducible, the

simplification of a manufacture process is attained and the electro-optic device concerned can be manufactured comparatively easily.

[0012] In the mode of 1 of the electro-optic device of this invention, said terminal contains at least one of the checking terminals for conducting inspection of the vertical flow terminal for supplying common potential to the opposite substrate by which opposite arrangement is carried out, and the electro-optic device concerned in an external circuit, the external circuit connection terminal connected, and said substrate.

[0013] According to this mode, a part of exclusive processes [at least] for forming at least one of an external circuit connection terminal, a vertical flow terminal, and checking terminals in a terminal area are reducible.

[0014] It connects with the end of the signal wiring which consisted of same film as said data line, and said 2nd conductive layer constitutes said terminal from other modes of the electro-optic device of this invention.

[0015] According to this mode, the same film as the data line is for example, aluminum (aluminum) film. The signal wiring of a predetermined class For example, the drive circuit for conducting the performance test, since at least one side of either [at least] the scanning line or the data line flowing wiring, and the scanning line and the data line is driven, They are wiring for supplying various signals, such as a clock signal, a control signal, a power-source signal, and a picture signal, to circumference circuits, such as an inspection circuit, constant potential wiring which results in the vertical flow terminal connected to an opposite substrate. Thus, by constituting the terminal of the signal wiring which consisted of same film as the data line from the 2nd conductive layer, a part of exclusive processes [at least] for forming this terminal are reducible. Furthermore, resistance from a terminal to signal wiring can be made small by forming the 2nd conductive layer from low electrical resistance materials.

[0016] In other modes of the electro-optic device of this invention, said 1st conductive layer and said 2nd conductive layer intervene between the layers of said scanning line and said data line.

[0017] According to this mode, in an image display field, the electrical installation of a pixel electrode and the semi-conductor layer can be carried out by the 1st conductive layer which intervenes between the layers of the scanning line and the data line. On the other hand, a part of exclusive processes [at least] for forming this terminal are reducible by constituting a terminal from the 2nd conductive layer which intervenes between the layers of the scanning line and the data line about a terminal.

[0018] In other modes of the electro-optic device of this invention, said 1st conductive layer and said 2nd conductive layer intervene between the layers of said data line and said pixel electrode.

[0019] According to this mode, in an image display field, the electrical installation of a pixel electrode and the semi-conductor layer can be carried out by the 1st conductive layer which intervenes between the layers of the data line and a pixel electrode. On the other hand, a part of exclusive processes [at least] for forming this terminal are reducible by constituting a terminal from the 2nd conductive layer which intervenes between the layers of the data line and a pixel electrode about a terminal. In addition, in this mode, it may have further the junction conductive layer which consists of the same layer as the data line, and relays the 1st conductive layer and a semi-conductor layer, two conductive layers called the 1st conductive layer and a junction conductive layer may be relayed, and electrical installation of a pixel electrode and the semi-conductor layer may be carried out.

[0020] In other modes of the electro-optic device of this invention, it has further the interlayer insulation film which intervenes between the layers of said 2nd conductive layer and said pixel electrode, and the 2nd conductive layer has the aperture for terminals punctured by said interlayer insulation film.

[0021] According to this mode, since it is exposed as a front face for connection of a terminal through the aperture for terminals punctured by the interlayer insulation film, the 2nd conductive layer becomes connectable with the anisotropy electric conduction film etc. about the 2nd conductive layer and external circuits, such as FPC, through the aperture for terminals.

[0022] In other modes of the electro-optic device of this invention, it has further the interlayer insulation film which intervenes between the layers of said 2nd conductive layer and said pixel electrode, and the

conductive thin film exposed as a front face for connection of said terminal while being formed from the same film as said pixel electrode on said 2nd conductive layer through the aperture punctured by said interlayer insulation film.

[0023] According to this mode, since the conductive thin film is formed from the same film as a pixel electrode on the 2nd conductive layer looked into through the aperture for terminals punctured by the interlayer insulation film and it is exposed as a front face for connection of a terminal, the 2nd conductive layer becomes connectable with the anisotropy electric conduction film etc. about a conductive thin film and external circuits, such as FPC, through the aperture for terminals. When it constitutes a pixel electrode from ITO film especially, the conductive thin film and anisotropy electric conduction film which similarly consist of ITO film can be connected with very sufficient adhesion. And since the conductive thin film which constitutes the front face for connection of such a terminal can be formed in the process and coincidence which form a pixel electrode, it can attain the simplification of a manufacture process.

[0024] In the mode in which these apertures for terminals were punctured, to said substrate side of said 2nd conductive layer part which sees superficially and is located in said puncturing circles for terminals, any one layer is formed in the shape of an island at least, and said 2nd conductive layer which intervenes between the layers of said 2nd conductive layer and said substrate and which is located in said puncturing circles for terminals can be heaping up corresponding to the shape of this island.

[0025] According to this mode, to the puncturing circles for terminals, the 2nd conductive layer which one layer or two or more conductive layers which consist of the same film as the same film for example, as a semi-conductor layer, the scanning line, and the same film and the data line are formed in the shape of an island, and is similarly formed on this in the puncturing circles for terminals can be heaped up corresponding to the shape of an island. For this reason, in case the anisotropy electric conduction film is stuck to the front face for connection of the terminal which consists of the 2nd conductive layer or the conductive thin film in the interior of the aperture for terminals by pressure and it connects with it, poor sticking by pressure resulting from the height of the front face for connection concerned being too lower than the height on the front face of a edge of the aperture for terminals can be prevented.

[0026] In other modes of the electro-optic device of this invention, said 1st conductive layer and said 2nd conductive layer contain a refractory metal.

[0027] According to this mode, the 1st conductive layer and the 2nd conductive layer consist of the metal simple substance containing at least one of Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb(s) (lead), an alloy, metal silicide, etc. For this reason, by high temperature processing in the various processes performed after the 1st conductive layer and the 2nd conductive layer formation in a manufacture process, the 1st conductive layer and the 2nd conductive layer concerned deform, or do not break. Moreover, resistance from a terminal to signal wiring can be made small by forming the 2nd conductive layer with a refractory metal. However, the 1st conductive layer and the 2nd conductive layer may be formed from the polish recon film formed into low resistance by the dope of impurity ion.

[0028] In order that the manufacture approach of the 1st electro-optic device of this invention may solve the above-mentioned technical problem The process which forms the semi-conductor layer of a thin film transistor in the image display field on a substrate, The process which forms an insulating thin film on said semi-conductor layer, and the process which forms the scanning line containing a gate electrode on said insulating thin film, The process which forms the 1st interlayer insulation film on said scanning line, and the process which punctures the 1st contact hole which leads to said semi-conductor layer to said insulating thin film and 1st interlayer insulation film, At the same time it forms the 1st conductive layer so that electrical installation may be carried out to said semi-conductor layer through said 1st contact hole on said 1st interlayer insulation film The process which forms the 2nd conductive layer which constitutes a terminal partially at least with the same film as said 1st conductive layer around said image display field on said substrate, The process which forms the 2nd interlayer insulation film on said 1st conductive layer and said 2nd conductive layer, The process which forms the data line on said 2nd interlayer insulation film, and the process which forms the 3rd interlayer insulation film on said data

line, The process which forms the aperture for terminals which leads to said 2nd conductive layer at the same time it punctures the 2nd contact hole which leads to said 1st interlayer insulation film and said 2nd interlayer insulation film at said 1st conductive layer, The process which forms a pixel electrode so that electrical installation may be carried out to said 1st conductive layer through said 2nd contact hole is included.

[0029] According to the manufacture approach of the 1st electro-optic device of this invention, in an image display field, a semi-conductor layer, an insulating thin film, the scanning line, and the 1st interlayer insulation film are formed in this order. Next, the 1st contact hole which leads to a semi-conductor layer is punctured by an insulating thin film and the 1st interlayer insulation film, and the 1st conductive layer is formed so that electrical installation may be carried out to a semi-conductor layer. The 2nd conductive layer which can come, simultaneously constitutes a terminal partially at least is formed from the same film as the 1st conductive layer. Furthermore, on these 1st conductive layers and the 2nd conductive layer, the 2nd interlayer insulation film, the data line, and the 3rd interlayer insulation film are formed in this order. Next, in an image display field, the 2nd contact hole which leads to the 1st conductive layer at the 1st interlayer insulation film and the 2nd interlayer insulation film is punctured, and the aperture for terminals which can come, simultaneously leads about a terminal at the 2nd conductive layer is formed. And in an image display field, a pixel electrode is formed so that electrical installation may be carried out to the 1st conductive layer through the 2nd contact hole. Thus, since the 1st conductive layer and the 2nd conductive layer are formed in coincidence from the same film, the 2nd contact hole and the open pore section for terminals are formed in coincidence and a part of exclusive processes [at least] for forming a terminal are reducible, the simplification of the manufacture process concerned can be attained.

[0030] In order that the manufacture approach of the 2nd electro-optic device of this invention may solve the above-mentioned technical problem The process which forms the semi-conductor layer of a thin film transistor in the image display field on a substrate, The process which forms an insulating thin film on said semi-conductor layer, and the process which forms the scanning line containing a gate electrode on said insulating thin film, The process which forms the 1st interlayer insulation film on said scanning line, and the process which punctures the 1st contact hole which leads to said semi-conductor layer to said insulating thin film and said 1st interlayer insulation film, The process which forms a junction conductive layer so that electrical installation may be carried out to said semi-conductor layer through said 1st contact hole from the same film as said data line at the same time it forms the data line on said 1st interlayer insulation film, The process which forms the 2nd interlayer insulation film on said data line and said junction conductive layer, The process which punctures the 2nd contact hole which leads to said 2nd interlayer insulation film at said junction conductive layer, At the same time it forms the 1st conductive layer so that electrical installation may be carried out to said junction conductive layer through said 2nd contact hole on said 2nd interlayer insulation film The process which forms the 2nd conductive layer which constitutes a terminal partially at least around said image display field on said substrate, The process which forms the 3rd interlayer insulation film on said 1st conductive layer and said 2nd conductive layer, The process which punctures the aperture for terminals which leads to it at said 2nd conductive layer at the same time it punctures the 3rd contact hole which leads to said 1st conductive layer to said 3rd interlayer insulation film, and the process which forms a pixel electrode so that electrical installation may be carried out through said 3rd contact hole at said 1st conductive layer are included.

[0031] According to the manufacture approach of the 2nd electro-optic device of this invention, in an image display field, a semi-conductor layer, an insulating thin film, the scanning line, and the 1st interlayer insulation film are formed in this order. Next, the 1st contact hole which leads to a semi-conductor layer is punctured by an insulating thin film and the 1st interlayer insulation film, the data line is formed on this, and a junction conductive layer is formed from the same film as the data line so that it can come, simultaneously electrical installation may be carried out to a semi-conductor layer through the 1st contact hole. Furthermore, the 2nd interlayer insulation film is formed on these data lines and a junction conductive layer. Next, in an image display field, the 1st conductive layer is formed so that the

2nd contact hole which leads to a junction conductive layer may be punctured by the 2nd interlayer insulation film and electrical installation may be carried out to it at a junction conductive layer. The 2nd conductive layer which can come, simultaneously constitutes a terminal from same film as the 1st conductive layer partially at least is formed. Next, the 3rd interlayer insulation film is formed on these 1st conductive layers and the 2nd conductive layer. Next, in an image display field, the 3rd contact hole which leads to the 3rd interlayer insulation film at the 1st conductive layer is punctured. The aperture for terminals which can come, simultaneously leads to the 3rd interlayer insulation film about a terminal at the 2nd conductive layer is formed. Thus, since the 1st conductive layer and the 2nd conductive layer are formed in coincidence from the same film, the 3rd contact hole and the aperture for terminals are punctured by coincidence and a part of exclusive processes [at least] for forming a terminal are reducible, the simplification of the manufacture process concerned can be attained.

[0032] In the mode of 1 of the manufacture approach of the 1st or 2nd electro-optic device of this invention, the signal wiring by which the end was connected to said terminal from the same film as said data line is formed in the process which forms said data line.

[0033] According to this mode, the same film as the data line is for example, aluminum film, and signal wiring is either [at least] the scanning line or the data line flowing wiring, wiring for supplying various signals to the so-called built-in circumference circuit where the circumference circuit was made together with the thin film transistor on the substrate since either [at least] the scanning line or the data line was driven, etc. Thus, by constituting the terminal of the signal wiring which consisted of same film as the data line from the 2nd conductive layer, a part of exclusive processes [at least] for forming this terminal are reducible. Furthermore, resistance from a terminal to signal wiring can be made small by forming the 2nd conductive layer from low electrical resistance materials.

[0034] In other modes of the manufacture approach of the 1st electro-optic device of this invention, in the process which forms said data line, the process which punctures the contact hole for connecting the end of said signal wiring to said terminal is further included at the same time it punctures the contact hole for connecting said data line to said semi-conductor layer before the process which forms the signal wiring by which the end was connected to said terminal from the same film as said data line, and forms said data line.

[0035] According to this mode, a part of exclusive processes [at least] for forming this terminal are reducible by constituting the terminal of the signal wiring which consisted of same film as the data line from the 2nd conductive layer. Furthermore, the contact hole for connecting the contact hole for connecting the data line to a semi-conductor layer and the end of signal wiring to a terminal can be punctured to coincidence. In addition, resistance from a terminal to signal wiring can be made small by forming the 2nd conductive layer from low electrical resistance materials.

[0036] In other modes of the manufacture approach of the 1st or 2nd electro-optic device of this invention, the conductive thin film which becomes said puncturing circles for terminals from the same film as said pixel electrode is formed in the process which forms said pixel electrode.

[0037] According to this mode, form the conductive thin film which becomes the puncturing circles for terminals from the same film as a pixel electrode, but On the 2nd conductive layer looked into through the aperture for terminals punctured by the interlayer insulation film, the 2nd conductive layer Since the conductive thin film is formed from the same film as a pixel electrode and it is exposed as a front face for connection of a terminal, it becomes connectable with the anisotropy electric conduction film etc. about a conductive thin film and external circuits, such as FPC, through the aperture for terminals. When it constitutes a pixel electrode from ITO film especially, the conductive thin film and anisotropy electric conduction film which similarly consist of ITO film can be connected with very sufficient adhesion. And since the conductive thin film which constitutes the front face for connection of such a terminal can be formed in the process and coincidence which form a pixel electrode, it can attain the simplification of a manufacture process.

[0038] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0039]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained based on a drawing.

[0040] (The 1st operation gestalt of an electro-optic device) The configuration of the liquid crystal equipment which is the 1st operation gestalt of the electro-optic device by this invention is explained with reference to drawing 5 from drawing 1. Drawing 1 is equal circuits, such as various components in two or more pixels formed in the shape of [which constitutes the image display field of liquid crystal equipment] a matrix, and wiring, drawing 2 is a top view of two or more pixel groups where the TFT array substrate with which the data line in an image display field, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 3 is the A-A' sectional view of drawing 2. Moreover, drawing 4 is the top view of the input/output terminal in a terminal area, and drawing 5 is the B-B' sectional view of drawing 4. In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 3 and drawing 5.

[0041] In drawing 1, two or more formation of TFT30 for two or more pixels formed in the shape of [which constitutes the image display field of the liquid crystal equipment in this operation gestalt] a matrix to control pixel electrode 9a and pixel electrode 9a is carried out at the shape of a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source concerned of TFT30. The picture signals S1, S2, --, Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoin each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scan signals G1, G2, --, Gm may be impressed to scanning-line 3a in pulse line sequential at this order. It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, --, Sn supplied from data-line 6a in TFT30 which is a switching element when only a fixed period closes the switch to predetermined timing. Fixed period maintenance of the picture signals S1, S2, --, Sn of the predetermined level written in liquid crystal through pixel electrode 9a is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. According to the electrical potential difference impressed when it was in no MARI White mode, passage of this liquid crystal part of incident light is made impossible, if it is in NOMA reeve rack mode, according to the impressed electrical potential difference, passage of this liquid crystal part of incident light will be enabled, and light with the contrast according to a picture signal will carry out outgoing radiation from liquid crystal equipment as a whole. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed between pixel electrode 9a and a counterelectrode. For example, as for the electrical potential difference of pixel electrode 9a, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high liquid crystal equipment of a contrast ratio.

[0042] In drawing 2, on the TFT array substrate of liquid crystal equipment, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared respectively along the boundary of pixel electrode 9a in every direction. Electrical installation of the data-line 6a is carried out to the below-mentioned source field among semi-conductor layer 1a which consists of polish recon film etc. through contact hole 5a. Pixel electrode 9a Conductive layer (barrier layer is called hereafter) 80a which is formed in the field shown with the slash of a drawing Nakamigi riser, respectively, and functions as a buffer is relayed, and electrical installation is carried out to the below-mentioned drain field among semi-conductor layer 1a through 1st contact hole 8a and 2nd contact hole 8b. Moreover, scanning-line 3a is arranged so that channel field 1a' (field of the slash of drawing Nakamigi going down) may be countered among semi-conductor layer 1a, and scanning-line 3a functions as a gate electrode. Thus, TFT30 by which opposite arrangement of the scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0043] capacity line 3b has the lobe boiled and projected along with data-line 6a from the main track section mostly extended in the shape of a straight line along with scanning-line 3a, and the part which intersects data-line 6a.

[0044] Moreover, 1st light-shielding film 11a may be prepared in the field shown by the thick wire in drawing, respectively so that it may pass along scanning-line 3a, capacity line 3b, and the TFT30 bottom. in drawing 2, the part which intersects data-line 6a more specifically forms 1st light-shielding film 11a in the method of drawing Nakashita broadly, respectively while it is formed in the shape of stripes along with scanning-line 3a -- having -- **** -- this broad part -- every -- TFT -- channel field 1a' is seen from a TFT array substrate side at least, and it is made to prepare in a wrap location, respectively

[0045] Next, as shown in the sectional view of drawing 3, liquid crystal equipment is equipped with the TFT array substrate 10 which constitutes an example of the substrate of while it is transparence, and the opposite substrate 20 which it is the transparence by which opposite arrangement is carried out at this, and also constitutes an example of the substrate of a way. The TFT array substrate 10 consists for example, of a quartz substrate, and the opposite substrate 20 consists of a glass substrate or a quartz substrate. Pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 16 consists of organic thin films, such as for example, a polyimide thin film.

[0046] On the other hand, it crosses to the opposite substrate 20 all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. A counterelectrode 21 consists of transparent conductive thin films, such as for example, ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.

[0047] TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the location which adjoins each pixel electrode 9a at the TFT array substrate 10.

[0048] As further shown in the opposite substrate 20 at drawing 3, the 2nd light-shielding film 23 is formed in the non-opening field of each pixel. For this reason, incident light does not invade into channel field 1a' of semi-conductor layer 1a of TFT30 for pixel switching, source side LDD (Lightly Doped Drain) field 1b, and drain side LDD field 1c from the opposite substrate 20 side. Furthermore, the 2nd light-shielding film 23 has functions, such as color mixture prevention of the color material at the time of forming improvement in contrast, and a color filter.

[0049] Thus, it is constituted, and between the TFT array substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may meet, the liquid crystal which is an example of electrooptic material is enclosed with the space surrounded by the below-mentioned sealant, and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation condition with the orientation film 16 and 22 in the condition that the electric field from pixel electrode 9a are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. It is the adhesives which consist of a photo-setting resin or thermosetting resin in order that a sealant may stick the TFT array substrate 10 and the opposite substrate 20 around those, and gap material (spacer), such as glass fiber for making distance between both substrates into a predetermined value or a glass bead, is mixed.

[0050] Furthermore, as shown in drawing 3, in the location which counters TFT30 for pixel switching respectively, 1st light-shielding film 11a is prepared between the TFT array substrate 10 and each TFT30 for pixel switching. 1st light-shielding film 11a consists of a metal simple substance containing at least one of Ti, Cr, W, Ta, Mo, and Pb(s) which are a desirable opaque refractory metal, an alloy, metal silicide, etc. If constituted from such an ingredient, 1st light-shielding film 11a is destroyed by high temperature processing in the formation process of TFT30 for pixel switching performed after the formation process of 1st light-shielding film 11a on the TFT array substrate 10, or it can avoid fusing by it. Since 1st light-shielding film 11a is formed, the situation which carries out incidence to channel field

1a' of TFT30 for pixel switching which the reflected light (return light) from the TFT array substrate 10 side etc. tends to excite to light, source side LDD field 1b, and drain side LDD field 1c can be prevented, and the property of TFT30 for pixel switching does not deteriorate according to generating of the photocurrent resulting from this.

[0051] Furthermore, the substrate insulator layer 12 is formed between 1st light-shielding film 11a and two or more TFT30 for pixel switching. The substrate insulator layer 12 is formed in order to carry out the electric insulation of the semi-conductor layer 1a which constitutes TFT30 for pixel switching from 1st light-shielding film 11a. Furthermore, the substrate insulator layer 12 also has a function as substrate film for TFT30 for pixel switching by being formed all over the TFT array substrate 10. That is, it has the function to prevent degradation of the property of TFT30 for pixel switching with the dry area at the time of polish of the front face of the TFT array substrate 10, the dirt which remains after washing. The substrate insulator layer 12 consists of high insulation glass, such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), or silicon oxide film, a silicon nitride film, etc. The substrate insulator layer 12 can also protect the situation where 1st light-shielding film 11a pollutes the TFT30 grade for pixel switching.

[0052] 1st storage capacitance 70a is constituted by considering as the 1st dielectric film which considered as the 1f of the 1st storage capacitance electrodes, used as the 2nd storage capacitance electrode a part of capacity line 3b which counters this, installed [semi-conductor layer 1a was installed from high concentration drain field 1e, and] the insulating thin film 2 containing gate dielectric film with this operation gestalt from the location which counters scanning-line 3a, and was pinched by inter-electrode [these]. Furthermore, by using a part of this 2nd storage capacitance electrode and barrier layer 80a which counters as the 3rd storage capacitance electrode, and forming the 1st interlayer insulation film 81 in inter-electrode [these], the 1st interlayer insulation film 81 functions as the 2nd dielectric film, and 2nd storage capacitance 70b is formed. And parallel connection of these 1st storage capacitance 70a and the 2nd storage capacitance 70b is carried out through 1st contact hole 8a, and storage capacitance 70 is constituted. Here, high concentration drain field 1e of semi-conductor layer 1a is installed in the bottom of data-line 6a and scanning-line 3a, and forms TFT30 for pixel switching, opposite arrangement is carried out through the insulating thin film 2, it considers as the 1f of the 1st storage capacitance electrodes, and the insulating thin film 2 functions on the capacity line 3b part similarly extended along with data-line 6a and scanning-line 3a as the 1st dielectric film.

[0053] TFT30 for pixel switching has LDD structure. Scanning-line 3a, Channel field 1a' of semi-conductor layer 1a in which a channel is formed of the electric field from concerned scanning-line 3a, The insulating thin film 2, data-line 6a containing the gate dielectric film with which scanning-line 3a and semi-conductor layer 1a are insulated, 1d list of high concentration source fields of low concentration source field (source side LDD field) 1b of semi-conductor layer 1a and low concentration drain field (drain side LDD field) 1c, and semi-conductor layer 1a is equipped with high concentration drain field 1e. One to which it corresponds of two or more pixel electrode 9a relays barrier layer 80a to high concentration drain field 1e, and it is connected to it. The source field and drain field of semi-conductor layer 1a are formed by doping the impurity ion the object for n molds of predetermined concentration, or for p molds like the after-mentioned according to whether the channel of n mold or p mold is formed. TFT of an n-type channel has the advantage that a working speed is quick, and it is used as TFT30 for pixel switching which is the switching element of a pixel in many cases. this operation gestalt -- especially -- data-line 6a -- aluminum etc. -- low -- it consists of protection-from-light nature and conductive thin films, such as metal membrane metallurgy group silicide [****]. [, such as alloy film,] Moreover, on barrier layer 80a and the 1st interlayer insulation film 81, the 2nd interlayer insulation film 4 with which contact hole 8b which leads to contact hole 5a and barrier layer 80a which lead to 1d of high concentration source fields was formed respectively is formed. Electrical installation of the data-line 6a is carried out to 1d of high concentration source fields through 1d [of this high concentration source field] contact hole 5a. Furthermore, on data-line 6a and the 2nd interlayer insulation film 4, the 3rd interlayer insulation film 7 with which contact hole 8b to barrier layer 80a was formed is formed. Through this contact hole 8b, electrical installation of the pixel electrode 9a is carried

out to barrier layer 80a, it relays barrier layer 80a further, and electrical installation is carried out to high concentration drain field 1e through contact hole 8a. The above-mentioned pixel electrode 9a is prepared in the top face of the 3rd interlayer insulation film 7 constituted in this way. Thus, although TFT30 for pixel switching has LDD structure as mentioned above preferably, it may be TFT of the self aryne mold which may have the offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c, drives in impurity ion by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms the high concentration source and a drain field in self align.

[0054] In addition, although considered as the single gate structure which has arranged one gate electrode which consists of a part of scanning-line 3a of TFT30 for pixel switching among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Under the present circumstances, to each gate electrode, the same signal is made to be impressed. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a channel and a source-drain field joint can be prevented, and the current at the time of OFF can be reduced. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable switching element can be obtained.

[0055] Especially with the liquid crystal equipment of this operation gestalt, on the TFT array substrate 10, it is prepared so that data-line 6a and scanning-line 3b may carry out a phase crossover in three dimensions through the 2nd interlayer insulation film 4. And barrier layer 80a intervenes between semiconductor layer 1a and pixel electrode 9a, and carries out electrical installation of high concentration drain field 1e and the pixel electrode 9a via contact hole 8a and contact hole 8b. For this reason, as compared with the case where one contact hole is punctured, the path of contact hole 8a and contact hole 8b can be made small from pixel electrode 9a to a drain field, respectively. That is, etching precision must stop the dry etching which can make the path of a contact hole small on the way, and when puncturing one contact hole, in order to fall (for example, in order to prevent the thrust omission in about 50nm very thin semi-conductor layer 1a), it must construct a process so that it may finally puncture to semi-conductor layer 1a by wet etching, so that a contact hole will be punctured deeply, if the selection ratio at the time of etching is low. Or it will be necessary to be based on dry etching, to run and to prepare the polish recon film for prevention separately. On the other hand, with this operation gestalt, since what is necessary is just to connect pixel electrode 9a and high concentration drain field 1e by two in-series contact hole 8a and contact hole 8b, it becomes possible to puncture these contact hole 8a and contact hole 8b by dry etching, respectively. Or it becomes possible to shorten distance punctured by wet etching at least. However, in order to attach some taper to contact hole 8a and contact hole 8b, respectively, it may dare to be made to perform short-time wet etching after dry etching comparatively.

[0056] Since the hollow and irregularity which the path of contact hole 8a and contact hole 8b can be made small, respectively, and are formed in the front face of barrier layer 80a in contact hole 8a are also small and end according to this operation gestalt as mentioned above, flattening in the part of pixel electrode 9a located in the upper part is promoted. Furthermore, since the hollow and irregularity which are formed in the front face of pixel electrode 9a in contact hole 8b are also small and end, flattening in the part of this pixel electrode 9a is promoted.

[0057] As shown in drawing 4 and drawing 5 , the input/output terminal is constituted from 80s of conductive layers for terminals which consist of the same film as barrier layer 80a in the pixel section by the terminal area which is a part of boundary region located around an image display field. The substrate insulator layer 12 in the pixel section shown by drawing 2 and drawing 3 , the insulating thin film 2, and the 1st interlayer insulation film 81 are more specifically formed also in this terminal area as it is, on the 1st interlayer insulation film 81, it is formed from the same film as barrier layer 80a, and 80s of conductive layers for terminals whose flat-surface configuration is an island-like is formed. The 2nd interlayer insulation film 4 is formed on 80s of conductive layers for terminals, and on the 2nd interlayer insulation film 4, 6s of signal wiring which consists of the same film (namely, aluminum film) as data-

line 6a is formed so that 80s of conductive layers for terminals and electrical installation can be taken through two or more contact hole 5s. Furthermore, the 3rd interlayer insulation film 7 is formed on 6s of signal wiring. And 8s (an aperture is called suitably hereafter.) of apertures for terminals with a flat-surface configuration somewhat smaller than 80s of conductive layers for terminals is punctured by the 2nd interlayer insulation film 4 and the 3rd interlayer insulation film 7, and 80s of conductive layers for terminals is exposed as a front face for connection of the input/output terminal concerned in 8s of this aperture. In addition, an input/output terminal is mind which contains various kinds of terminals, such as a checking terminal for conducting inspection of the vertical flow terminal for supplying common potential to the opposite substrate by which opposite arrangement is carried out, and the electro-optic device concerned, in an external circuit, the terminal for external circuit connection connected, and said substrate. Moreover, an input/output terminal is the mind containing the terminal of both for the object for an input, the object for an output or an input, and an output. In 6s of signal wiring, on the other hand, for example, scanning-line 3a, data-line 6a, and flowing wiring, The scanning-line drive circuit for conducting the performance test, since scanning-line 3a and data-line 6a are driven, In built-in circumference circuits, such as a data-line drive circuit and an inspection circuit, a clock signal, a control signal, It is mind including wiring for supplying various signals, such as a power-source signal and a picture signal, constant potential wiring which results in the vertical flow terminal connected to an opposite substrate, and electrical installation is carried out through an external circuit etc. and the input/output terminal concerned.

[0058] Therefore, in the process which manufactures the liquid crystal equipment of this operation gestalt, the formation process of 80s of conductive layers for terminals in a terminal area can be performed to the formation process and coincidence of barrier layer 80a in an image display field. Furthermore, contact hole 5s in a terminal area, since it is punctured by contact hole 5a for connecting data-line 6a in the pixel section to semi-conductor layer 1a, and coincidence, the puncturing process of dedication is not needed. Furthermore, since it is punctured by 2nd contact hole 8b for connecting pixel electrode 9a in the pixel section to barrier layer 80a also about 8s also of apertures, and coincidence again, the puncturing process of dedication is not needed. In order to prevent the electric corrosion by contact on the ITO film in case pixel electrode 9a is formed at subsequent processes when exposing by this aluminum film of the same film as data-line 6a which was being performed conventionally and preparing an input/output terminal, Since the puncturing processes of the 3rd interlayer insulation film 7 of having performed pixel electrode 9a after formation are reducible, the simplification of a manufacture process is attained, and the liquid crystal equipment concerned can be manufactured comparatively easily, and is built as liquid crystal equipment of comparison low cost.

[0059] Especially with this operation gestalt, 80s of conductive layers for terminals consists of the metal simple substance containing at least one of Ti, Cr, W, Ta, Mo, and Pb(s), an alloy, metal silicide, etc. For this reason, 80s of conductive layers for terminals does not deform or break by high temperature processing in the various processes performed after formation of 80s of conductive layers for terminals in a manufacture process. Moreover, resistance from the front face for connection of an input/output terminal to signal wiring can be made small by forming 80s of conductive layers for terminals with a refractory metal.

[0060] With this operation gestalt, moreover, barrier layer 80a and 80s of conductive layers for terminals It intervenes between the layers of scanning-line 3a and data-line 6a. 80s of conductive layers for terminals Since it has exposed as a front face for connection of an input/output terminal through 8s of apertures punctured by the 2nd interlayer insulation film 4 and the 3rd interlayer insulation film 7, it becomes connectable with the anisotropy electric conduction film etc. through 8s of apertures about 80s of conductive layers for terminals, and external circuits, such as FPC.

[0061] (The 2nd operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 2nd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 6 and drawing 7. Drawing 6 is the top view of the input/output terminal in a terminal area, and drawing 7 is the C-C' sectional view of drawing 6. In addition, about the same component as the 1st operation gestalt shown in drawing 4 and drawing 5 in the 2nd operation

gestalt shown in drawing 6 and drawing 7 , the same reference mark is attached and the explanation is omitted. In order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 7 .

[0062] In drawing 6 and drawing 7 , with the 2nd operation gestalt, it differs from the 1st operation gestalt, 9s of conductive thin films which consist of the same film (namely, ITO film) as pixel electrode 9a is formed in the front face of 8s of conductive layers for terminals in 8s of apertures, and it has exposed as a front face for connection of an input/output terminal. About other configurations, it is the same as that of the case of the 1st operation gestalt.

[0063] Therefore, according to the 2nd operation gestalt, it becomes connectable with the anisotropy electric conduction film etc. about 9s of conductive thin films, and external circuits, such as FPC, through 8s of apertures. Especially 9s of conductive thin films and the anisotropy electric conduction film that consist of ITO film can connect with very sufficient adhesion. And since 9s of conductive thin films which constitute the front face for connection of such an input/output terminal can be formed in the process and coincidence which form pixel electrode 9a in the pixel section, its exclusive process is unnecessary and they do not cause the increment in a routing counter.

[0064] (The 3rd operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 3rd operation gestalt of the electro-optic device by this invention is explained with reference to drawing 8 and drawing 9 . Drawing 8 is the top view of the input/output terminal in a terminal area, and drawing 9 is the D-D' sectional view of drawing 8 . In addition, about the same component as the 1st operation gestalt shown in drawing 4 and drawing 5 in the 3rd operation gestalt shown in drawing 8 and drawing 9 , the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 9 .

[0065] To the 80s down side of conductive layers for terminals which see superficially with the 3rd operation gestalt unlike the 1st operation gestalt, and are located in 8s of apertures in drawing 8 and drawing 9 3s of polish recon film of the shape of an island which consists of the same film as 1s of semi-conductor layers of the shape of an island which consists of 11s of light-shielding films of the shape of an island which consists of the same film as 1st light-shielding film 11a, and the same film as semi-conductor layer 1a, and scanning-line 3a is formed. 80s of conductive layers for terminals located in 8s of apertures can be heaping up corresponding to the shape of this island. About other configurations, it is the same as that of the 1st operation gestalt.

[0066] Therefore, in case sticking-by-pressure connection of 80s of conductive layers for terminals which make the front face for connection of an input/output terminal in 8s of apertures, and the external circuits, such as FPC, is made with the anisotropy electric conduction film etc. according to the 3rd operation gestalt, poor sticking by pressure resulting from the height of the front face for connection concerned being too lower than the height on the front face of a edge which is 8s of apertures can be prevented. And since island-like 11s of light-shielding films, 1s of semi-conductor layers, and 3s of polish recon film for heaping up 80s of such conductive layers for terminals in the shape of an island can be formed in the process and coincidence which form 1st light-shielding film 11a in the pixel section, semi-conductor layer 1a, and scanning-line 3a, its exclusive process is unnecessary and it does not cause the increment in a routing counter.

[0067] (The 4th operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 4th operation gestalt of the electro-optic device by this invention is explained with reference to drawing 10 and drawing 11 . Drawing 10 is the top view of the input/output terminal in a terminal area, and drawing 11 is the E-E' sectional view of drawing 10 . In addition, about the same component as the 3rd operation gestalt shown in drawing 8 and drawing 9 in the 4th operation gestalt shown in drawing 10 and drawing 11 , the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part

material in drawing 11 .

[0068] In drawing 10 and drawing 11 , with the 4th operation gestalt, it differs from the 3rd operation gestalt, 9s of conductive thin films which consist of the same film (namely, ITO film) as pixel electrode 9a is formed in the front face of 80s of conductive layers for terminals in 8s of apertures, and it has exposed as a front face for connection of an input/output terminal. About other configurations, it is the same as that of the case of the 3rd operation gestalt.

[0069] Therefore, according to the 4th operation gestalt, it becomes connectable with the anisotropy electric conduction film etc. about 9s of conductive thin films, and external circuits, such as FPC, through 8s of apertures. Especially 9s of conductive thin films and the anisotropy electric conduction film that consist of ITO film can connect with very sufficient adhesion. And since 9s of conductive thin films which constitute the front face for connection of such an input/output terminal can be formed in the process and coincidence which form pixel electrode 9a in the pixel section, its exclusive process is unnecessary and they do not cause the increment in a routing counter.

[0070] Since barrier layer 80a consists of refractory metal film and the selection ratios in etching with a metal membrane and an interlayer insulation film differ greatly with the 1st to 4th [which was explained above] operation gestalt, most possibility that barrier layer 80a by dry etching will run in a manufacture process cannot be found. Moreover, barrier layer 80a is destroyed by high temperature processing performed after a barrier layer 80a formation process, or it can avoid fusing by it. Most possibility of 80s of conductive layers for terminals of running cannot be found, and 80s of conductive layers for terminals is destroyed, or it can avoid similarly fusing in a terminal area. In addition, since the affinity of such a refractory metal and the ITO film which constitutes pixel electrode 9a is good, good contact can be taken between barrier layer 80a and pixel electrode 9a through contact hole 8b. Similarly, in a terminal area, good contact can be taken among 80s [of conductive layers for terminals], and conductive thin film 9s. Moreover, as for the thickness of barrier layer 80a and 80s of conductive layers for terminals, it is desirable to consider for example, as 50nm or more 500nm or less extent. or [that possibility of running at the time of puncturing of contact hole 8b in a manufacture process or 8s of apertures if there is thickness of about 50nm becomes low, and the irregularity of the front face of pixel electrode 9a will not pose a problem if it is about 500nm] -- or it is because flattening is comparatively easily possible. It is because similarly it becomes low and the depth of 8s of apertures does not cause poor sticking by pressure, or possibility of running at the time of puncturing of 8s of apertures will not pose a problem if it heaps up in the shape of an island.

[0071] however, the conductivity to which such barrier layer 80a and 80s of conductive layers for terminals doped not the refractory metal film but Lynn etc. -- low -- you may constitute from polish recon film [****]. Thus, although barrier layer 80a will not demonstrate the function as a light-shielding film if constituted, the function to which storage capacitance 70 is made to increase, and the junction function of barrier layer original can fully be demonstrated. Furthermore, since it is hard coming to generate the stress by heat etc. between the 2nd interlayer insulation film 4, it is useful to barrier layer 80a and the crack prevention in the circumference of it. 80s of conductive layers for terminals may fully function as an input/output terminal on coincidence, and they are useful to 80s of conductive layers for terminals, and the crack prevention in the circumference of it in a terminal area at it.

[0072] (The 5th operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 5th operation gestalt of the electro-optic device by this invention is explained with reference to drawing 15 from drawing 12 . Drawing 12 is a top view of two or more pixel groups where the TFT array substrate with which the data line in an image display field, the scanning line, a pixel electrode, etc. were formed adjoins each other, and drawing 13 is the F-F' sectional view of drawing 12 . Moreover, drawing 14 is the top view of the input/output terminal in a terminal area, and drawing 15 is the G-G' sectional view of drawing 14 . In addition, about the same component as the 1st operation gestalt shown in drawing 5 from drawing 2 in the 5th operation gestalt shown in drawing 15 from drawing 12 , the same reference mark is attached and the explanation is omitted. In order to make each class and each part material into the magnitude of extent which can be recognized on a drawing,

scales are made to have differed for each class or every each part material in drawing 13 and drawing 15.

[0073] First, about the pixel section, it has barrier layer 90a connected through contact hole 88b at junction conductive layer 6b which is connected to high concentration drain field 1e of semi-conductor layer 1a through contact hole 88a, and consisted of same layers as data-line 6a instead of and pixel electrode 9a with the 5th operation gestalt in drawing 12 and drawing 13. [barrier layer 80a in the 1st operation gestalt] And opposite arrangement is carried out through the 2nd interlayer insulation film 4 formed on data-line 6a and junction conductive layer 6b, and electrical installation of junction conductive layer 6b and the barrier layer 90a is mutually carried out through contact hole 88c punctured by this 2nd interlayer insulation film 4. About the configuration concerning the other pixel sections, it is the same as that of the case of the 1st operation gestalt.

[0074] Next, about the terminal area, it has 90s of conductive layers for terminals which consisted of same film as barrier layer 90a with the 5th operation gestalt in drawing 14 and drawing 15 instead of 80s of conductive layers for terminals in the 1st operation gestalt. And opposite arrangement is carried out through the 2nd interlayer insulation film 4, and electrical installation of 6s of signal wiring and the 90s of the conductive layers for terminals is mutually carried out through contact hole 88t punctured by this 2nd interlayer insulation film 4. And 90s of conductive layers for terminals is exposed as a front face for connection from 88s of apertures punctured by the 3rd interlayer insulation film 7. About the configuration concerning other terminal areas, it is the same as that of the case of the 1st operation gestalt.

[0075] With the 5th operation gestalt, the thing same as the quality of the material of barrier layer 90a and 90s of conductive layers for terminals as barrier layer 80a in the 1st operation gestalt is used suitably. When pixel electrode 9a consists of ITO film and data-line 6a consists of aluminum film especially, it is desirable to constitute barrier layer 90a from refractory metals, such as Ti with sufficient affinity with both and Cr, etc.

[0076] Therefore, according to the 5th operation gestalt, about the pixel section, electrical installation of pixel electrode 9a and the high concentration drain field 1e can be carried out through junction conductive layer 6b and barrier layer 90a. Moreover, it also becomes possible to increase storage capacitance according to the structure where opposite arrangement of capacity line 3b and the junction conductive layer 6b is carried out through the 1st interlayer insulation film 81. Furthermore, the location of contact hole 88a can be set as the location of the arbitration in the plane region where data-line 6a does not exist, and since the location of contact hole 88b can be set as the location of the arbitration on the 2nd interlayer insulation film 4, it increases [a design degree of freedom] and is advantageous.

[0077] Furthermore, according to the 5th operation gestalt, the formation process of 90s of conductive layers for terminals in a terminal area can be performed to the formation process and coincidence of barrier layer 90a in an image display field. Furthermore, contact hole 88t in a terminal area, since it is punctured by contact hole 88c for interconnecting junction conductive layer 6b and barrier layer 90a in the pixel section, and coincidence, the puncturing process of dedication is not needed. Furthermore, since it is punctured by contact hole 88b for connecting pixel electrode 9a in the pixel section to barrier layer 90a also about 88s also of apertures, and coincidence again, the puncturing process of dedication is not needed. Thus, since a part of exclusive processes for forming the input/output terminal shown in drawing 14 and drawing 15 are reducible according to this operation gestalt, the simplification of a manufacture process is attained, and the liquid crystal equipment concerned can be manufactured comparatively easily, and is built as liquid crystal equipment of comparison low cost.

[0078] (The 6th operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 6th operation gestalt of the electro-optic device by this invention is explained with reference to drawing 16 and drawing 17. Drawing 16 is the top view of the input/output terminal in a terminal area, and drawing 17 is the H-H' sectional view of drawing 16. In addition, about the same component as the 5th operation gestalt shown in drawing 14 and drawing 15 in the 6th operation gestalt shown in drawing 16 and drawing 17, the same reference mark is attached and the explanation is omitted. In order to make each class and each part material into the magnitude of extent

which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 17 .

[0079] In drawing 16 and drawing 17 , with the 6th operation gestalt, it differs from the 5th operation gestalt, 9s of conductive thin films which consist of the same film (namely, ITO film) as pixel electrode 9a is formed in the front face of 90s of conductive layers for terminals in 88s of apertures, and it has exposed as a front face for connection of an input/output terminal. About other configurations, it is the same as that of the case of the 5th operation gestalt.

[0080] Therefore, according to the 6th operation gestalt, it becomes connectable with the anisotropy electric conduction film etc. about 9s of conductive thin films, and external circuits, such as FPC, through 88s of apertures. Especially 9s of conductive thin films and the anisotropy electric conduction film that consist of ITO film can connect with very sufficient adhesion. And since 9s of conductive thin films which constitute the front face for connection of such an input/output terminal can be formed in the process and coincidence which form pixel electrode 9a in the pixel section, its exclusive process is unnecessary and they do not cause the increment in a routing counter.

[0081] (The 7th operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 7th operation gestalt of the electro-optic device by this invention is explained with reference to drawing 18 and drawing 19 . Drawing 18 is the top view of the input/output terminal in a terminal area, and drawing 19 is the I-I' sectional view of drawing 18 . In addition, about the same component as the 5th operation gestalt shown in drawing 14 and drawing 15 in the 7th operation gestalt shown in drawing 18 and drawing 19 , the same reference mark is attached and the explanation is omitted. Moreover, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 15 .

[0082] To the 90s down side of conductive layers for terminals which see superficially with the 7th operation gestalt unlike the 5th operation gestalt, and are located in 88s of apertures in drawing 18 and drawing 19 3s of polish recon film of the shape of an island which consists of the same film as 1s of semi-conductor layers of the shape of an island which consists of 11s of light-shielding films of the shape of an island which consists of the same film as 1st light-shielding film 11a, and the same film as semi-conductor layer 1a, and scanning-line 3a is formed. 90s of conductive layers for terminals located in 88s of apertures can be heaping up corresponding to the shape of this island. About other configurations, it is the same as that of the 5th operation gestalt.

[0083] Therefore, in case sticking-by-pressure connection of 90s of conductive layers for terminals which make the front face for connection of an input/output terminal in 88s of apertures, and the external circuits, such as FPC, is made with the anisotropy electric conduction film etc. according to the 7th operation gestalt, poor sticking by pressure resulting from the height of the front face for connection concerned being too lower than the height on the front face of a edge which is 88s of apertures can be prevented. And since island-like 11s of light-shielding films, 1s of semi-conductor layers, and 3s of polish recon film for heaping up 90s of such conductive layers for terminals in the shape of an island can be formed in the process and coincidence which form 1st light-shielding film 11a in the pixel section, semi-conductor layer 1a, and scanning-line 3a, its exclusive process is unnecessary and it does not cause the increment in a routing counter. Moreover, 6s [of electric conduction film]' which can be formed at the same process may be formed in the shape of an island by the same film as 6s of signal wiring.

[0084] (The 8th operation gestalt of an electron-optical arrangement) The configuration of the liquid crystal equipment which is the 8th operation gestalt of the electro-optic device by this invention is explained with reference to drawing 20 and drawing 21 . Drawing 20 is the top view of the input/output terminal in a terminal area, and drawing 21 is the J-J' sectional view of drawing 20 .

[0085] In drawing 20 and drawing 21 , with the 8th operation gestalt, it differs from the 7th operation gestalt, 9s of conductive thin films which consist of the same film (namely, ITO film) as pixel electrode 9a is formed in the front face of 90s of conductive layers for terminals in 88s of apertures, and it has exposed as a front face for connection of an input/output terminal. About other configurations, it is the same as that of the case of the 7th operation gestalt.

[0086] Therefore, according to the 8th operation gestalt, it becomes connectable with the anisotropy electric conduction film etc. about 9s of conductive thin films, and external circuits, such as FPC, through 88s of apertures. Especially 9s of conductive thin films and the anisotropy electric conduction film that consist of ITO film can connect with very sufficient adhesion. And since 9s of conductive thin films which constitute the front face for connection of such an input/output terminal can be formed in the process and coincidence which form pixel electrode 9a in the pixel section, its exclusive process is unnecessary and they do not cause the increment in a routing counter.

[0087] the conductivity which doped Lynn etc., for example although barrier layer 90a and 90s of conductive layers for terminals were constituted from the refractory metal film by the 5th to 8th [which was explained above] operation gestalt -- low -- you may constitute from polish recon film [****]. Thus, if constituted, since it is hard coming to generate the stress by heat etc. between the 3rd interlayer insulation film 7 and the 2nd interlayer insulation film 4, barrier layer 90a and 90s of conductive layers for terminals will be useful to barrier layer 90a and the crack prevention in the circumference of it. 90s of conductive layers for terminals may fully function as an input/output terminal on coincidence, and they are useful to 90s of conductive layers for terminals, and the crack prevention in the circumference of it in a terminal area at it.

[0088] (Manufacture process of an electro-optic device) Next, the case of the 1st operation gestalt of the electro-optic device mentioned above is taken for an example, and the manufacture process of liquid crystal equipment with the above configurations is explained with reference to drawing 25 from drawing 22. Especially about a terminal area, what forms a terminal area with the comparatively complicated layer structure of the 4th operation gestalt shown in drawing 10 and drawing 11 is shown as an example. That is, since it can manufacture by having set in the manufacture process of the input/output terminal part explained below, shifting, skipping that process or adding some modification about the input/output terminal of the 2nd to 8th operation gestalt, the explanation is omitted. Drawing 22 and drawing 23 are process drawings in which making each class by the side of the TFT array substrate in each process correspond to the A-A' cross section of drawing 3, and showing it, and show TFT for pixel switching here. Moreover, drawing 24 and drawing 25 are process drawings in which making each class by the side of the TFT array substrate in each process correspond to the E-E' cross section shown in drawing 10, and showing it, and show the input/output terminal part. A process (1) to the process (16) shown in a process (16), drawing 24, and drawing 25 from the process (1) shown especially in drawing 22 and drawing 23 is a process performed to coincidence in the field to which it differs on the same substrate, respectively.

[0089] As first shown in the process (1) of drawing 22 and drawing 24, the TFT array substrates 10, such as a quartz substrate, hard glass, and a silicon substrate, are prepared. Here, preferably, annealing treatment is carried out at inert gas ambient atmospheres, such as N₂ (nitrogen), and an about 900-1300-degree C elevated temperature, and it pretreats so that distortion produced in the TFT array substrate 10 in the elevated-temperature process carried out behind may decrease. That is, according to the temperature by which high temperature processing is carried out at the maximum elevated temperature in a manufacture process, the TFT array substrate 10 is heat-treated at the same temperature or the temperature beyond it in advance. and the whole surface of the TFT array substrate 10 processed in this way -- metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, -- sputtering -- about 100-500nm thickness -- the light-shielding film 11 of about 200nm thickness is formed preferably. In addition, on a light-shielding film 11, 1st light-shielding film 11a is formed by forming antireflection film, such as polish recon film, in order to ease surface reflection, and performing a photolithography and etching for the this formed light-shielding film 11.

[0090] As shown in the process (1) of drawing 24 at coincidence, 11s of island-like light-shielding films is formed in the field of a schedule where 8s of apertures in a terminal area is punctured.

[0091] Moreover, the substrate insulator layer 12 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. with ordinary pressure or a reduced pressure CVD method is formed on 11s of light-

shielding films of the shape of 1st light-shielding film 11a and an island. The thickness of this substrate insulator layer 12 may be about 500nm - 2000nm.

[0092] Next, as shown in the process (2) of drawing 22, about 450-550 degrees C of amorphous silicon film are preferably formed comparatively on the substrate insulator layer 12 with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in a low-temperature environment. Then, in nitrogen-gas-atmosphere mind, at about 600-700 degrees C, preferably, solid phase growth of the amorphous silicon film is carried out until it becomes the thickness of about 100nm preferably in about 50-200nm thickness, and the polish recon film is formed by ***** which performs annealing treatment of 4 - 6 hours for about 1 to 10 hours. As an approach of carrying out solid phase growth, the annealing treatment using RTA (Rapid Thermal Anneal) is sufficient, and the laser annealing using an excimer laser etc. is sufficient. Semi-conductor layer 1a is formed for the polish recon film which carried out solid phase growth according to a photolithography process, an etching process, etc.

[0093] As shown in the process (2) of drawing 24 at coincidence, 1s of island-like semi-conductor layers is formed also on the substrate insulator layer 12 in a terminal area.

[0094] Next, as shown in each process (3) of drawing 22 and drawing 24, the insulating thin film 2 is formed for 1s of semi-conductor layers of semi-conductor layer 1a and a terminal area which constitute TFT30 for pixel switching the temperature of about 900-1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably. consequently, the thickness of semi-conductor layer 1a -- the thickness of about 30-150nm -- desirable -- the thickness of about 35-50nm -- becoming - - the thickness of the insulating thin film 2 -- the thickness of about 20-150nm -- it becomes the thickness of about 30-100nm preferably. In addition, the insulating thin film 2 forms the silicon oxide film and a silicon nitride film with a CVD system etc. on the thermal oxidation silicon film, and is good also as multilayer structure. Thus, if it is made multilayer structure, it becomes possible to shorten elevated-temperature thermal oxidation time amount, and when using the large-sized substrate which is especially about 8 inches, the camber by heat can be prevented.

[0095] Next, as shown in the process (4) of drawing 22 and drawing 24, after forming the resist layer 500 on 1s of semi-conductor layers of the shape of semi-conductor layer 1a except the part used as the 1f of the 1st storage capacitance electrodes, and an island, P ion is doped in about $3 \times 10^{12}/\text{cm}^2$ of doses, and the 1f of the 1st storage capacitance electrodes is formed into low resistance.

[0096] Next, as shown in the process (5) of drawing 22, the polish recon film is deposited with a reduced pressure CVD method etc., and scanning-line 3a and capacity line 3b are formed by giving this [a photolithography process and / etching process] for the polish recon film which carried out thermal diffusion of the P (Lynn), and formed it into low resistance further. The thickness of scanning-line 3a and capacity line 3b is preferably deposited on about 300nm in about 100-500nm thickness.

[0097] As shown in the process (5) of drawing 24 at coincidence, 3s of island-like polish recon film is formed in the field of a schedule where 8s of apertures in a terminal area is punctured.

[0098] Next, as shown in the process (6) of drawing 22 and drawing 24, in order to form low concentration source field 1b and low concentration drain field 1c in semi-conductor layer 1a first, V group elements, such as P ion, are doped in the low concentration of $1 - 10 \times 10^{13}/\text{cm}^2$ by using as a mask the gate electrode which is a part of scanning-line 3a. Thereby, semi-conductor layer 1a under a gate electrode becomes channel field 1a'.

[0099] Next, as shown in the process (7) of drawing 22 and drawing 24, in order to form 1d of high concentration source fields and high concentration drain field 1e which constitute TFT30 for pixel switching, after forming the resist layer 600 with a mask with width of face wider than the gate electrode which is a part of scanning-line 3a, similarly V group elements, such as P, are doped in the high concentration of $1 - 10 \times 10^{15}/\text{cm}^2$.

[0100] In addition, to semi-conductor layer 1a, when using TFT30 for pixel switching as a p channel mold, in order to form 1d of high concentration source fields, and high concentration drain field 1e in low concentration source field 1b and a low concentration drain field 1c list, the dopant of III group elements, such as B, is used and doped.

[0101] Next, as shown in the process (8) of drawing 22 and drawing 24, the 1st interlayer insulation film 81 which consists of silicon oxide film or a silicon nitride film all over the TFT array substrate 10 by the ordinary pressure CVD method, a plasma-CVD method, etc. is formed. 2nd storage capacitance 70b of TFT30 for pixel switching can be made to increase by carrying out thin film formation of the thickness of the 1st interlayer insulation film 81 at 10nm - about 200nm.

[0102] Next, as shown in the process (9) of drawing 22, contact hole 8a for carrying out electrical installation of barrier layer 80a and the high concentration drain field 1e is punctured by dry etching, such as reactive ion etching and reactant ion beam etching, to the insulating thin film 2 and the 1st interlayer insulation film 81. Since such dry etching has high directivity, it can puncture contact hole 8a of a small path. Or wet etching advantageous to preventing that contact hole 8a runs through semi-conductor layer 1a may be used together. By this wet etching, since contact hole 8a is made to a taper configuration, the faulty connection by open circuit of barrier layer 80a can be controlled.

[0103] Next, as shown in the process (10) of drawing 23, after depositing metal alloy film, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pb, by spatter processing all over high concentration drain field 1e looked into through the insulating thin film 2, the 1st interlayer insulation film 81, and contact hole 8a, barrier layer 80a containing the 3rd storage capacitance electrode is formed by the photolithography and etching processing. In addition, on this barrier layer 80a, in order to ease surface reflection, antireflection films, such as polish recon film, may be formed.

[0104] As shown in the process (10) of drawing 25 at coincidence, it applies to the field in which signal wiring is formed from the field of a schedule where 8s of apertures in a terminal area is punctured, and 80s of island-like conductive layers for terminals is formed.

[0105] Next, as shown in each process (11) of drawing 23 and drawing 25, the 2nd interlayer insulation film 4 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed all over the TFT array substrate 10 using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. The thickness of the 2nd interlayer insulation film 4 has desirable about 500-1500nm. If there is 500nm or more of thickness of the 2nd interlayer insulation film 4, the parasitic capacitance between data-line 6a and scanning-line 3a will remain, or will hardly pose a problem.

[0106] Next, as shown in the process (12) of drawing 23, contact hole 5a for carrying out electrical installation of the 1d of the high concentration source fields of a semi-conductor layer to data-line 6a is punctured by dry etching, such as reactive ion etching and reactant ion beam etching, to the insulating thin film 2, the 1st interlayer insulation film 81, and the 2nd interlayer insulation film 4. Since such dry etching has high directivity, it can puncture contact hole 5a of a small path. Moreover, contact hole 5a may be made into the shape of a taper by performing wet etching short time. Thereby, an open circuit of data-line 6a can be prevented.

[0107] As shown in the process (12) of drawing 25 at coincidence, in a terminal area, contact hole 5s for carrying out electrical installation of the 6s of the signal wiring to 80s of conductive layers for terminals is punctured to the 2nd interlayer insulation film 4.

[0108] Next, as shown in the process (13) of drawing 23, data-line 6a is formed from conductive metal membranes, such as aluminum, by the sputtering method etc.

[0109] As shown in the process (13) of drawing 25, 6s of signal wiring is formed in coincidence.

[0110] Next, as shown in each process (14) of drawing 23 and drawing 25, the 3rd interlayer insulation film 7 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed all over the TFT array substrate 10 using ordinary pressure or a reduced pressure CVD method, TEOS gas, etc. The thickness of the 3rd interlayer insulation film 7 has desirable about 500-2000nm. If there is 500nm or more of thickness of the 2nd interlayer insulation film 4, the parasitic capacitance between data-line 6a and pixel electrode 9a will remain, or will hardly pose a problem.

[0111] Next, as shown in the process (15) of drawing 23, contact hole 8b for carrying out electrical installation of pixel electrode 9a and the barrier layer 80a is punctured to the 3rd interlayer insulation film 7 by dry etching, such as reactive ion etching and reactant ion beam etching. Since such dry etching

has high directivity, it can puncture contact hole 8b of a small path. Moreover, contact hole 8b may be made into the shape of a taper by performing wet etching short time. Thereby, the faulty connection of pixel electrode 9a can be prevented.

[0112] As shown in the process (15) of drawing 25 at coincidence, in order to expose the front face of 80s of conductive layers for terminals, 8s of apertures is punctured in a terminal area.

[0113] Next, as shown in the process (16) of drawing 23, pixel electrode 9a is formed with transparency electric conduction film, such as ITO. Pixel electrode 9a is good to deposit on the thickness of about about 10-200nm from the relation of the Newton ring. In addition, when using the liquid crystal equipment concerned for the liquid crystal equipment of a reflective mold, pixel electrode 9a may be formed from an opaque ingredient with high reflection factors, such as aluminum.

[0114] As shown in the process (16) of drawing 25 at coincidence, in a terminal area, 9s of conductive thin films is formed so that 80s of exposed conductive layers for terminals may be covered. Thereby, adhesion with ACF can use the good ITO film as an ingredient for terminals.

[0115] As explained above, according to the manufacture process of this operation gestalt, each each process (1) process [in - (16) and a terminal area] (1) - (16) in the pixel section can be performed to coincidence. That is, the exclusive processes for removing the interlayer insulation film on the input/output terminal after pixel electrode 9a formation currently performed conventionally are reducible. Furthermore, in parallel to the component formation process of TFT30 in the manufacture process mentioned above, circumference circuits with the complementary-type structure which consists of an n channel mold TFT and a p channel mold TFT, such as a data-line drive circuit and a scanning-line drive circuit, may be formed in the periphery on the TFT array substrate 10. Thus, if semi-conductor layer 1a which constitutes TFT30 for pixel switching in this operation gestalt is formed by the polish recon film, at the time of formation of TFT30 for pixel switching, it is the same process mostly, and a circumference circuit can be formed and it is advantageous on manufacture.

[0116] Moreover, like the 5th to 8th operation gestalt, when connecting semi-conductor layer 1a and pixel electrode 9a by junction conductive layer 6b and barrier layer 90a junction conductive-layer 6b What is necessary is to, puncture contact hole 88a which results in high concentration drain field 1e in the process (12) in an above-mentioned manufacture process for example, and just to carry out in a process (13) about junction conductive layer 6b which consists of the same film as data-line 6a. What is necessary is just to form according to the same process as a process (10) from the process (8) in the 1st operation gestalt furthermore on data-line 6a and junction conductive layer 6b about the 2nd interlayer insulation film 4 and barrier layer 90a. That is, also when manufacturing the 5th to 8th operation gestalt, the exclusive processes for removing the interlayer insulation film on the input/output terminal after pixel electrode 9a formation currently performed conventionally can be reduced.

[0117] In addition, although processing for carrying out flattening of the front face of the 3rd interlayer insulation film 7 in which a pixel electrode is formed is not performed in the manufacture process explained above, flattening processing may be performed to the top face of the 3rd interlayer insulation film 7, and, finally flattening of the substrate of pixel electrode 9a and the orientation film 16 may be carried out. What is necessary is to carry out by CMP (Chemical Mechanical Polishing) processing, spin coat processing, the reflow method, etc., or just to perform such flattening processing in the process which forms the 3rd interlayer insulation film 7, using organic [SOG] (Spin On Glass), inorganic [SOG], the polyimide film, etc. Or a concave slot may be formed in the TFT array substrate 10 of the field in which wiring and a component are formed, or the insulator layer between each class.

[0118] (The whole electro-optic device configuration) The whole liquid crystal equipment configuration in each operation gestalt constituted as mentioned above is explained with reference to drawing 26 and drawing 27. In addition, drawing 26 is the top view which looked at the TFT array substrate 10 from the opposite substrate 20 side with each component formed on it, and drawing 27 is the K-K' sectional view of drawing 26.

[0119] In drawing 26, on the TFT array substrate 10, the sealant 52 is formed along the edge and the 3rd light-shielding film 53 as a frame which specifies the circumference of the image display field which consists of an ingredient which is the same as the 2nd light-shielding film 23, or is different is formed in

parallel to the inside. The data-line drive circuit 101 and the terminal 102 for external circuit connection which drive data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared in the field of the outside of a sealant 52 along with one side of the TFT array substrate 10, and the scanning-line drive circuit 104 which drives scanning-line 3a is formed along with two sides which adjoin this one side by supplying a scan signal to scanning-line 3a to predetermined timing. If the scan signal delay supplied to scanning-line 3a does not become a problem, the thing only with one side sufficient [the scanning-line drive circuit 104] cannot be overemphasized. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of an image display field. For example, data-line 6a of an odd number train supplies a picture signal from the data-line drive circuit arranged along one side of an image display field, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of said image display field. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of a data-line drive circuit is extensible, it becomes possible to constitute a complicated circuit. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of an image display field is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the vertical flow terminal 106 equipped with the flow material for taking an electric flow between the TFT array substrate 10 and the opposite substrate 20 is formed. And as shown in drawing 27 , the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 26 has fixed to the TFT array substrate 10 by the sealant 52 concerned. In addition, on the TFT array substrate 10, the inspection circuit for inspecting the quality of the sampling circuit 103 which impresses a picture signal to two or more data-line 6a to predetermined timing, the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, and the liquid crystal equipment concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed. In addition, what is necessary is just to form smaller than the protection-from-light field of the TFT array substrate 10 the 2nd light-shielding film 23 on the opposite substrate 20 according to the gestalt of this operation. Moreover, the 2nd light-shielding film 23 can be easily removed by the application of liquid crystal equipment.

[0120] In addition, in drawing 26 and drawing 27 , the input/output terminal in each operation gestalt mentioned above is used suitable for the terminal 102 for external circuit connection, and the vertical flow terminal 106.

[0121] You may make it connect with LSI for a drive mounted on the TAB (Tape Automated Bonding) substrate instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 10 with each operation gestalt explained with reference to drawing 27 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of the side in which the incident light of the opposite substrate 20 carries out incidence, and the TFT array substrate 10 carries out outgoing radiation.

[0122] Since the liquid crystal equipment in each operation gestalt explained above is applied to an electrochromatic display projector, the liquid crystal equipment of three sheets will be respectively used as a light valve for R(red) G(green) B (blue), and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each panel as incident light. Therefore, with each operation gestalt, the color filter is not prepared in the opposite substrate 20. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 23 is not formed on the opposite substrate 20 with the protective coat. Or it is also possible to form a color filter layer in the bottom of

pixel electrode 9a which counters RGB on the TFT array substrate 10 by a color resist etc. If it does in this way, the liquid crystal equipment in each operation gestalt is applicable to electrochromatic display equipments, such as electrochromatic display television of direct viewing types other than a liquid crystal projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [one] the opposite substrate 20. If it does in this way, bright liquid crystal equipment is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 20 again may be formed. According to this opposite substrate with a die clo IKKU filter, brighter electrochromatic display equipment is realizable.

[0123] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, each operation gestalt is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated:

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes the image display field in the liquid crystal equipment which is the 1st operation gestalt of an electro-optic device, such as various components and wiring.

[Drawing 2] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the liquid crystal equipment of the 1st operation gestalt, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 3] It is the A-A' sectional view of drawing 2 .

[Drawing 4] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 1st operation gestalt.

[Drawing 5] It is the B-B' sectional view of drawing 4 .

[Drawing 6] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 2nd operation gestalt.

[Drawing 7] It is the C-C' sectional view of drawing 6 .

[Drawing 8] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 3rd operation gestalt.

[Drawing 9] It is the D-D' sectional view of drawing 8 .

[Drawing 10] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 4th operation gestalt.

[Drawing 11] It is the E-E' sectional view of drawing 10 .

[Drawing 12] It is the top view of two or more pixel groups where the TFT array substrate with which the data line in the liquid crystal equipment which is the 5th operation gestalt of an electro-optic device, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 13] It is the F-F' sectional view of drawing 12 .

[Drawing 14] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 5th operation gestalt.

[Drawing 15] It is the G-G' sectional view of drawing 14 .

[Drawing 16] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 6th operation gestalt.

[Drawing 17] It is the H-H' sectional view of drawing 16 .

[Drawing 18] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 7th operation gestalt.

[Drawing 19] It is the I-I' sectional view of drawing 18 .

[Drawing 20] It is the top view of each terminal area formed in the terminal area in the liquid crystal equipment of the 8th operation gestalt.

[Drawing 21] It is the J-J' sectional view of drawing 20 .

[Drawing 22] It is process drawing (the 1) showing order for each process about the image display field in the operation gestalt of the manufacture process of liquid crystal equipment later on.

[Drawing 23] It is process drawing (the 2) showing order for each process about the image display field in the operation gestalt of the manufacture process of liquid crystal equipment later on.

[Drawing 24] It is process drawing (the 1) showing order for each process about the terminal area in the operation gestalt of the manufacture process of liquid crystal equipment later on.

[Drawing 25] It is process drawing (the 2) showing order for each process about the terminal area in the operation gestalt of the manufacture process of liquid crystal equipment later on.

[Drawing 26] It is the top view which looked at the TFT array substrate in the liquid crystal equipment of each operation gestalt from the opposite substrate side with each component formed on it.

[Drawing 27] It is the K-K' sectional view of drawing 26 .

[Description of Notations]

- 1a -- Semi-conductor layer
- 1a' -- Channel field
- 1b -- Low concentration source field (source side LDD field)
- 1c -- Low concentration drain field (drain side LDD field)
- 1d -- High concentration source field
- 1e -- High concentration drain field
- 1f -- The 1st storage capacitance electrode
- 2 -- Insulating thin film
- 3a -- Scanning line
- 3b -- Capacity line (the 2nd storage capacitance electrode)
- 3s -- Polish recon film
- 4 -- The 2nd interlayer insulation film
- 5a -- Contact hole
- 6a -- Data line
- 6s -- Signal wiring
- 7 -- The 3rd interlayer insulation film
- 8a -- Contact hole
- 8b -- Contact hole
- 8s -- Aperture
- 9a -- Pixel electrode
- 9s -- Conductive thin film
- 10 -- TFT array substrate
- 11a -- The 1st light-shielding film
- 12 -- Substrate insulator layer
- 16 -- Orientation film
- 20 -- Opposite substrate
- 21 -- Counterelectrode
- 22 -- Orientation film
- 23 -- The 2nd light-shielding film
- 30 -- TFT for pixel switching
- 50 -- Liquid crystal layer
- 52 -- Sealant
- 53 -- The 3rd light-shielding film
- 70 -- Storage capacitance
- 70a -- The 1st storage capacitance
- 70b -- The 2nd storage capacitance
- 80a -- Barrier layer
- 80s -- Conductive layer for terminals
- 81 -- The 1st interlayer insulation film

[Translation done.]

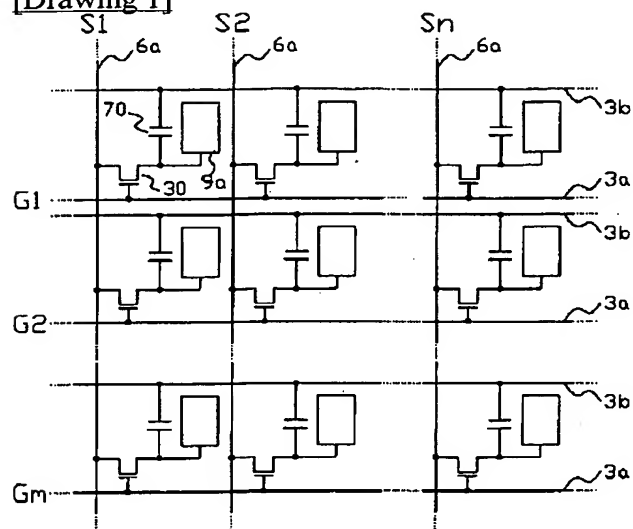
*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

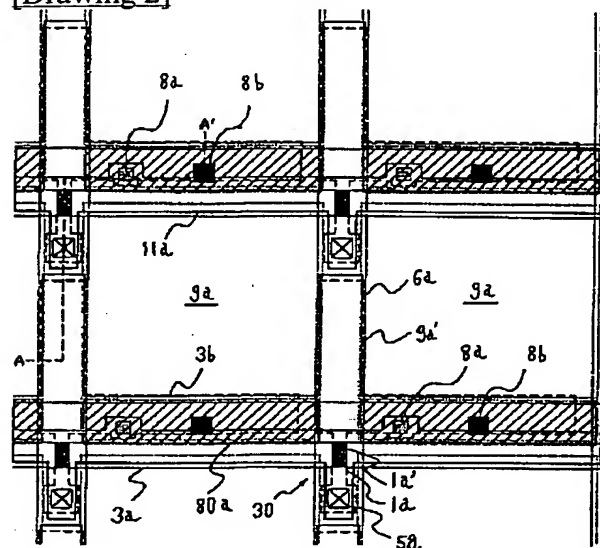
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

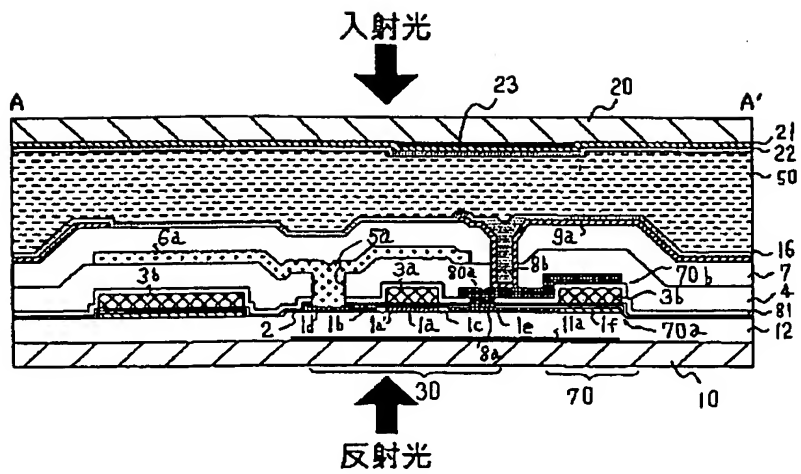
[Drawing 1]



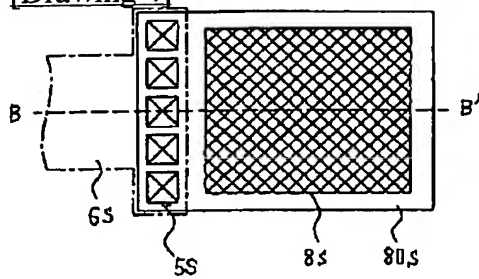
[Drawing 2]



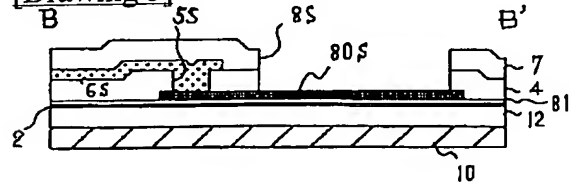
[Drawing 3]



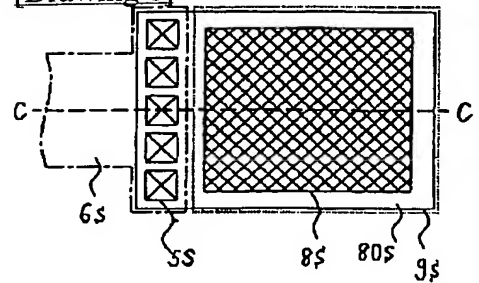
[Drawing 4]



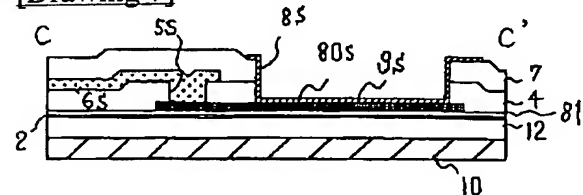
[Drawing 5]



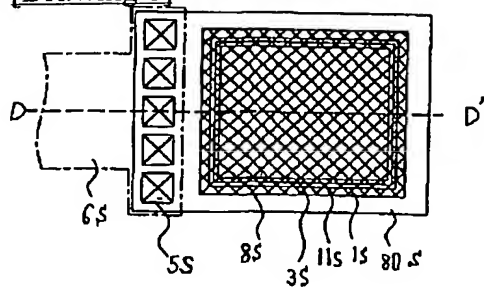
[Drawing 6]



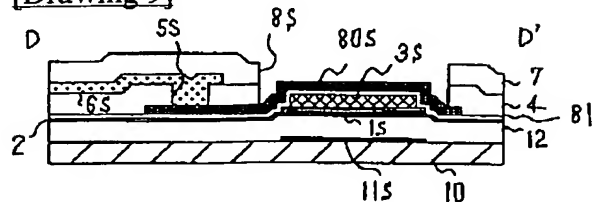
[Drawing 7]



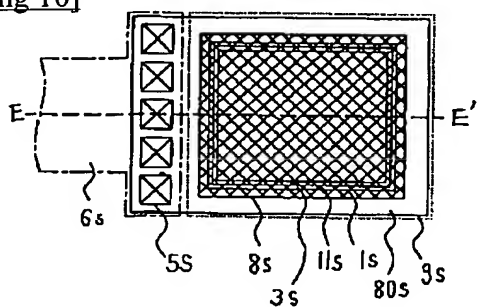
[Drawing 8]



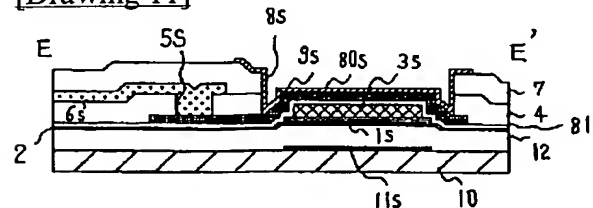
[Drawing 9]



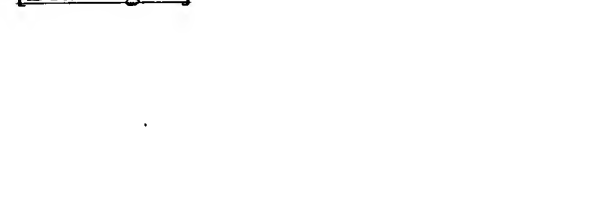
[Drawing 10]

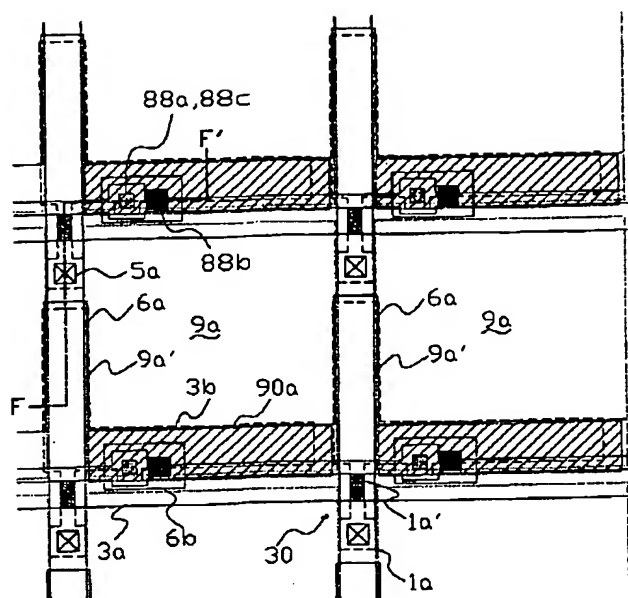


[Drawing 11]

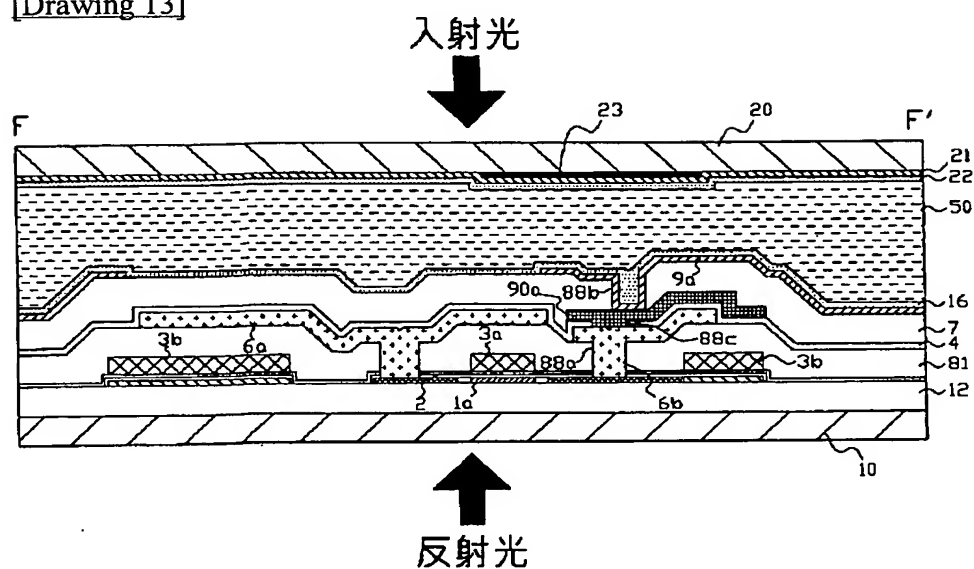


[Drawing 12]

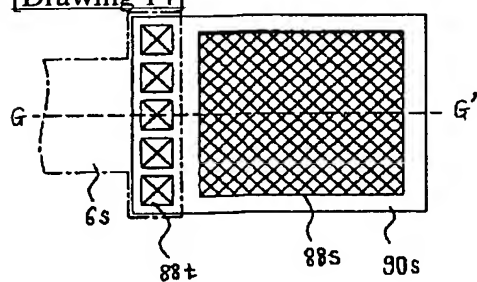




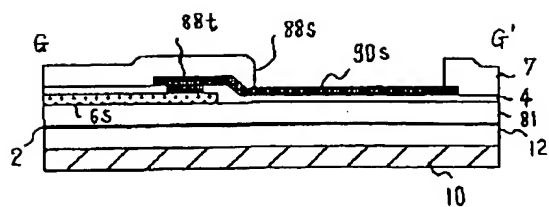
[Drawing 13]



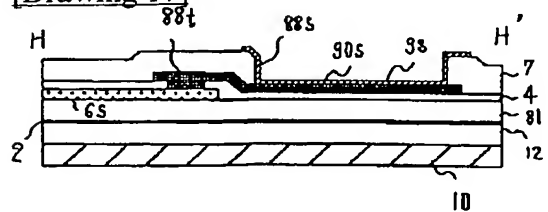
[Drawing 14]



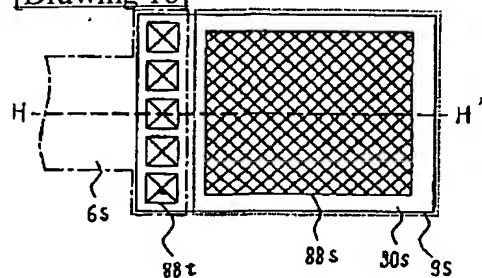
[Drawing 15]



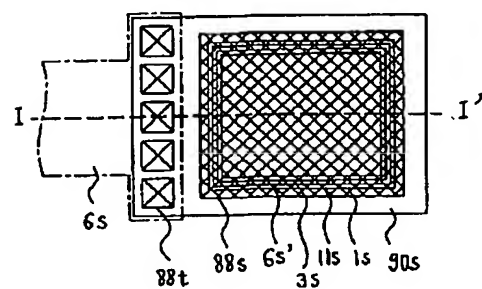
[Drawing 17]



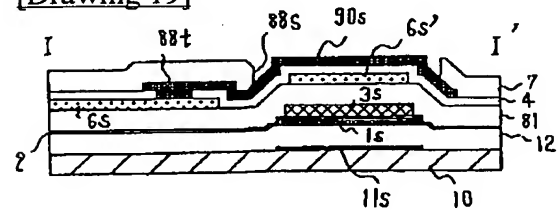
[Drawing 16]



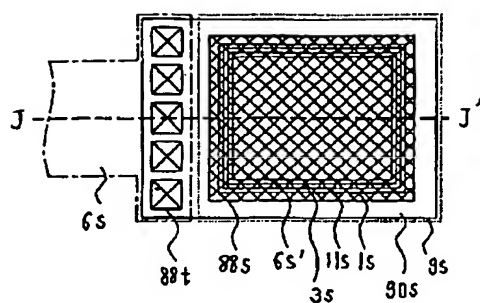
[Drawing 18]



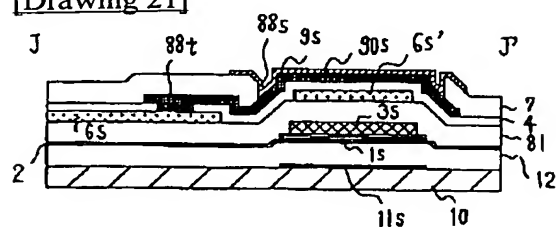
[Drawing 19]



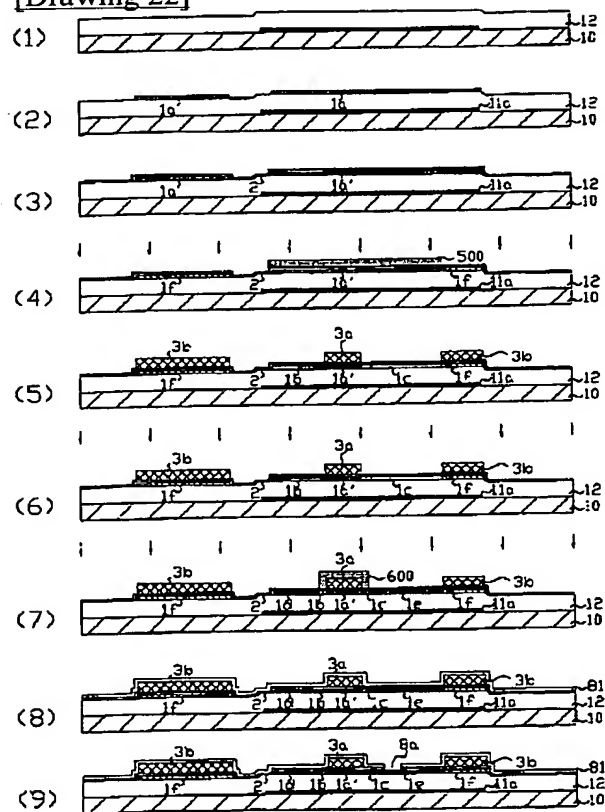
[Drawing 20]



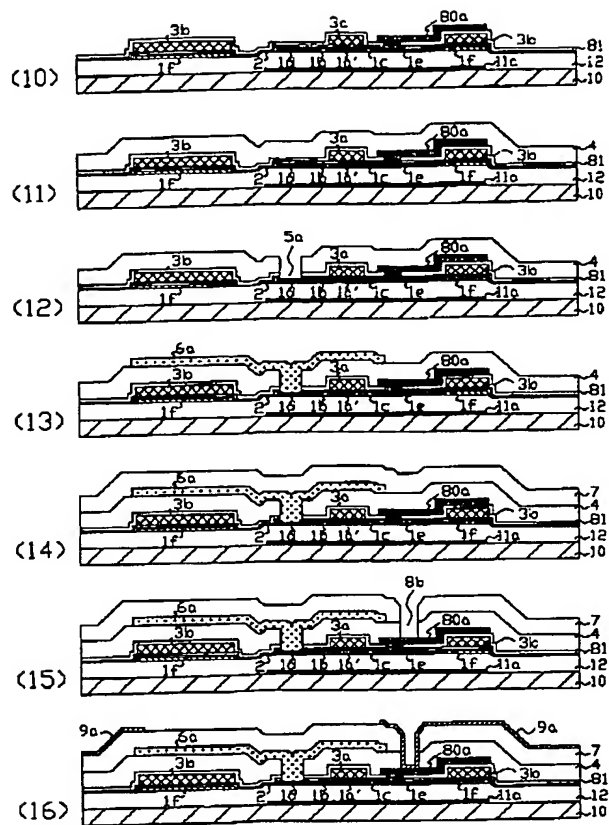
[Drawing 21]



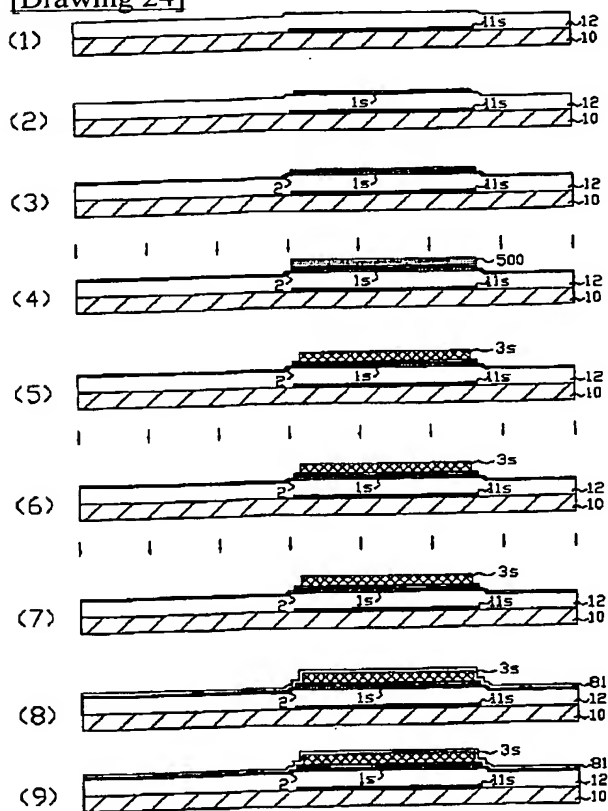
[Drawing 22]



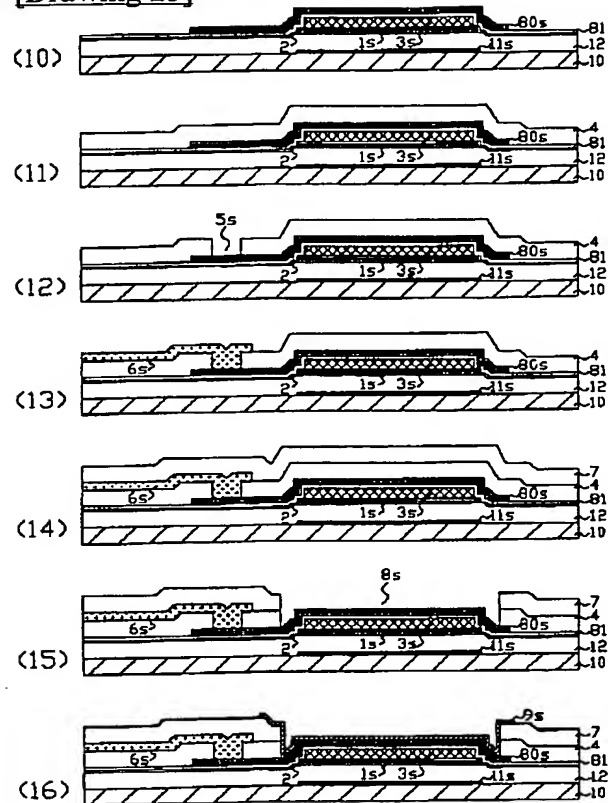
[Drawing 23]



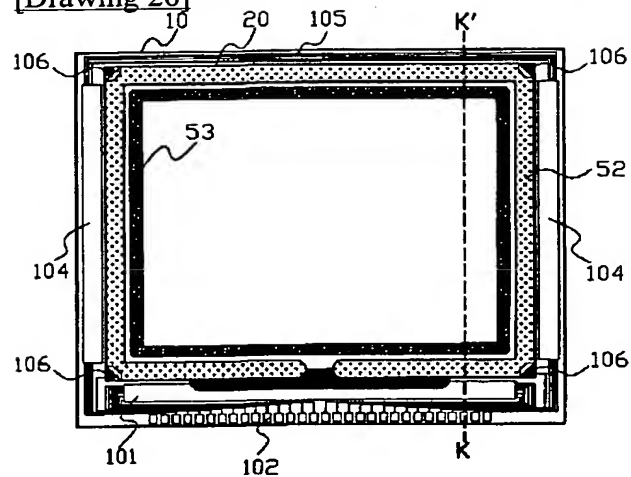
[Drawing 24]



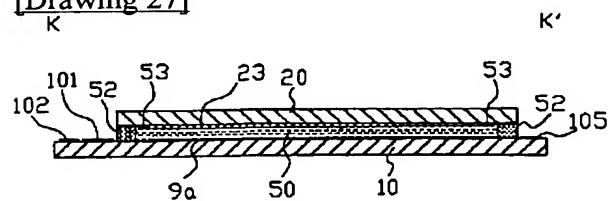
[Drawing 25]



[Drawing 26]



[Drawing 27]
K



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-206568
(P2000-206568A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 2 F	1/1365	G 0 2 F 1/136	5 0 0 2 H 0 9 2
H 0 1 L	29/786	H 0 4 N 5/74	K 5 C 0 5 8
	21/336	H 0 1 L 29/78	6 1 6 K 5 F 1 1 0
H 0 4 N	5/74		6 1 9 A

審査請求 未請求 請求項の数14 O L (全 22 頁)

(21)出願番号 特願平11-4681

(22)出願日 平成11年1月11日(1999.1.11)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 村出 正夫
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74)代理人 100093388
弁理士 鈴木 喜三郎 (外2名)

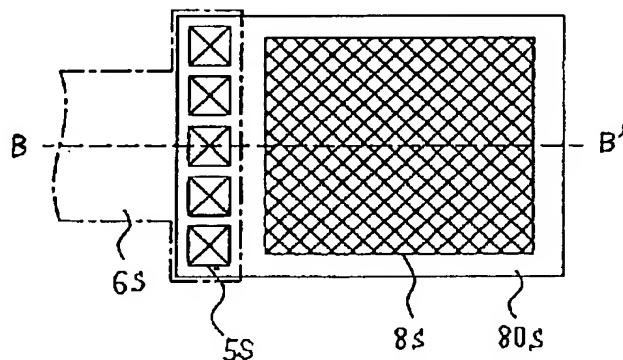
最終頁に続く

(54)【発明の名称】 電気光学装置及びその製造方法

(57)【要約】

【課題】 外部回路等との間で良好に電氣的接続可能な入出力端子を備えており、製造プロセスにおける工程数削減が可能であると共に高品位の画像表示が可能なTFTアクティブマトリクス駆動方式の電気光学装置を提供する。

【解決手段】 電気光学装置は、TFTアレイ基板(10)上にTFT(30)、データ線(6a)、走査線(3a)、容量線(3b)及び画素電極(9a)を備える。画素電極及びTFT間には、バリア層(80a)を中継して二つのコンタクトホール(8a、8b)により電氣的接続される。入出力端子は、バリア層と同一膜から同時に形成される端子用導電層(80s)を備える。



(2)

1

【特許請求の範囲】

【請求項1】 基板上の画像表示領域に、
複数の画素電極と、
複数の走査線及び複数のデータ線と、
前記各走査線及び前記各データ線に夫々接続された薄膜トランジスタと、
前記薄膜トランジスタの半導体層と前記画素電極との間に夫々介在し、一方で前記半導体層と電氣的接続され且つ他方で前記画素電極と電氣的接続された第1導電層とを備えており、
前記基板上における前記画像表示領域の周辺に位置する端子の一部は、前記第1導電層と同一膜からなる第2導電層により構成されていることを特徴とする電気光学装置。

【請求項2】 前記端子は、外部回路と接続される外部回路接続端子、前記基板に対向配置される対向基板へ共通電位を供給するための上下導通端子及び当該電気光学装置の検査を行うための検査用端子のうち少なくとも一つを含むことを特徴とする請求項1に記載の電気光学装置。

【請求項3】 前記第2導電層は、前記データ線と同一膜から構成された信号配線の一端に接続されて前記端子を構成することを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】 前記第1導電層及び前記第2導電層は、前記走査線と前記データ線との層間に介在することを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項5】 前記第1導電層及び前記第2導電層は、前記データ線と前記画素電極との層間に介在することを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項6】 前記第2導電層と前記画素電極との層間に介在する層間絶縁膜を更に備えており、第2導電層は、前記層間絶縁膜に開孔された前記端子用開孔部を有することを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。

【請求項7】 前記第2導電層と前記画素電極との層間に介在する層間絶縁膜と、
前記層間絶縁膜に開孔された前記端子用開孔部を介して前記第2導電層上に前記画素電極と同一膜から形成されると共に前記端子の接続用表面として露出している導電性薄膜とを更に備えたことを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。

【請求項8】 平面的に見て前記端子用開孔部内に位置する前記第2導電層部分の前記基板側には、前記第2導電層と前記基板との層間に介在する少なくともいづれか一層が島状に形成されており、前記前記端子用開孔部内に位置する前記第2導電層が該島状に対応して盛り上げられていることを特徴とする請求項6又は7に記載の電

2

気光学装置。

【請求項9】 前記第1導電層及び前記第2導電層は、高融点金属を含むことを特徴とする請求項1から8のいずれか一項に記載の電気光学装置。

【請求項10】 基板上における画像表示領域に、薄膜トランジスタの半導体層を形成する工程と、
前記半導体層上に絶縁薄膜を形成する工程と、
前記絶縁薄膜上にゲート電極を含む走査線を形成する工程と、

10 前記走査線に第1層間絶縁膜を形成する工程と、
前記絶縁薄膜及び前記第1層間絶縁膜に前記半導体層夫々に通じる第1コンタクトホールを開孔する工程と、
前記第1層間絶縁膜上に、前記第1コンタクトホールを介して前記半導体層に電氣的接続されるように第1導電層を形成すると同時に、前記基板上における前記画像表示領域の周辺に端子を少なくとも部分的に構成する第2導電層を前記第1導電層と同一膜により形成する工程と、

20 前記第1導電層及び前記第2導電層上に第2層間絶縁膜を形成する工程と、
前記第2層間絶縁膜上にデータ線を形成する工程と、
前記データ線に第3層間絶縁膜を形成する工程と、
前記第1層間絶縁膜及び前記第2層間絶縁膜に前記第1導電層に通じる第2コンタクトホールを開孔すると同時に前記第2導電層に通じる前記端子用開孔部を形成する工程と、
前記第2コンタクトホールを介して前記第1導電層に電氣的接続されるように画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

30 【請求項11】 基板上における画像表示領域に、薄膜トランジスタの半導体層を形成する工程と、
前記半導体層上に絶縁薄膜を形成する工程と、
前記絶縁薄膜上にゲート電極を含む走査線を形成する工程と、
前記走査線に第1層間絶縁膜を形成する工程と、
前記絶縁薄膜及び前記第1層間絶縁膜に前記半導体層に通じる第1コンタクトホールを開孔する工程と、
前記第1層間絶縁膜上の所定領域にデータ線を形成すると同時に前記データ線と同一膜から前記第1コンタクトホールを介して前記半導体層に電氣的接続されるように中継導電層を形成する工程と、
40 前記データ線及び前記中継導電層上に第2層間絶縁膜を形成する工程と、
前記第2層間絶縁膜に前記中継導電層に通じる第2コンタクトホールを開孔する工程と、
前記第2層間絶縁膜上に、前記第2コンタクトホールを介して前記中継導電層に対して電氣的接続がとれるように第1導電層を形成すると同時に、前記基板上における前記画像表示領域の周辺に端子を少なくとも部分的に構成する第2導電層を前記第1導電層と同一膜により形成

50

(3)

3

する工程と、
前記第1導電層及び前記第2導電層上に第3層間絶縁膜を形成する工程と、
前記第3層間絶縁膜に、前記第1導電層に通じる第3コンタクトホールを開孔すると同時に前記第2導電層に通じる前記端子用開孔部を開孔する工程と、
前記第3コンタクトホールを介して前記第1導電層に電氣的接続されるように画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項12】 前記データ線を形成する工程において、前記データ線と同一膜から前記端子に一端が接続された信号配線を形成することを特徴とする請求項10又は11に記載の電気光学装置の製造方法。

【請求項13】 前記データ線を形成する工程において、前記データ線と同一膜から前記端子に一端が接続された信号配線を形成し、
前記データ線を形成する工程前に、前記データ線を前記半導体層に接続するためのコンタクトホールを開孔すると同時に前記信号配線の一端を前記端子に接続するためのコンタクトホールを開孔する工程を更に含むことを特徴とする請求項10に記載の電気光学装置の製造方法。

【請求項14】 前記画素電極を形成する工程において、前記端子用開孔部内に前記画素電極と同一膜からなる導電性薄膜を形成することを特徴とする請求項10から13のいずれか一項に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の電気光学装置及びその製造方法の技術分野に属し、特に画素電極と画素スイッチング用の薄膜トランジスタ（ThinFilm Transistor:以下適宜、TFTと称す）と入力用、出力用あるいは入出力用端子の製造方法の技術分野に属する。

【0002】

【背景技術】従来この種の電気光学装置は、一对の基板間に液晶等の電気光学物質が挟持されてなり、一方の基板には、マトリクス状に複数の画素電極が設けられ、各画素電極と、例えば各画素に設けられたTFT等のスイッチング素子とは、相互に接続される必要がある。しかるに、両者間には、走査線、容量線、データ線等の配線及びこれらを相互に電氣的絶縁するための複数の層間絶縁膜を含む、例えば1000nm（ナノメートル）程度又はそれ以上に厚い積層構造が存在するため、両者間を電氣的接続するためのコンタクトホールを開孔するのが困難となる。

【0003】他方、この種の電気光学装置においては、画像表示領域にはデータ線、走査線及び容量線等が配線されるが、基板上における画像表示領域の周辺に位置する周辺領域には、例えば走査線及びデータ線の少なくと

4

も一方と導通する配線や、走査線及びデータ線の少なくとも一方を駆動するためや動作検査を行うために内蔵周辺回路にクロック信号、制御信号、電源信号、画像信号等の様々な信号を供給するための信号配線などが配線される。そして、周辺領域の一部である端子領域には、これらの信号配線を外部回路と接続するための入出力端子が設けられるのが一般的である。より具体的には、各信号配線は主に、画像表示領域内の配線中最も低抵抗であるAl（アルミニウム）膜等のデータ線と同一膜から形成され、これと交差する必要がある他の信号配線の少なくとも交差部分については、不純物イオンのドーピングにより低抵抗化されたポリシリコン膜等の走査線と同一膜から形成される。これに対して、画像表示領域に形成される画素電極は主に、透明電極であるITO（Indium Tin Oxide）膜から形成される。

【0004】

【発明が解決しようとする課題】この種の電気光学装置における低コスト化という一般的な要請の下では、表示画像の品位を犠牲にすることなく、製造プロセスにおける工程数の削減と製造プロセスの単純化は非常に重要である。

【0005】しかしながら、上述の如く端子領域に入出力端子を形成する製造プロセスにおいては、特に信号配線を構成するAl膜と画素電極のITO膜とは、直接に接触させるとAl膜が電気腐食を起こすため、同一基板上の製造プロセスにおいて、画像表示領域に画素電極を形成する前には、端子領域における入出力端子とすべき信号配線上の層間絶縁膜に端子用開孔部（窓）を開孔しないでおき、画素電極形成後に、窓となる部分上の不要なITO膜及び層間絶縁膜を除去することにより、窓を開孔する必要がある。即ち、上述した従来の技術によれば、端子領域に入出力端子を形成するためには、画像表示領域に画素電極等を形成する工程とは別個に、入出力端子形成のための専用のフォトリソグラフィ工程及びエッチング工程等の専用工程が必要とされており、製造プロセスの工程数が増大し、製造プロセスが複雑化するという問題点がある。

【0006】これに対して、仮に、画素電極のITO膜と電氣的相性の良い走査線を構成するポリシリコン膜から信号配線の少なくとも入出力端子付近を形成すれば、上述の如き入出力端子の窓の開孔工程と、画素電極用のコンタクトホールの開孔工程とを同時に行えるであろうが、これでは、このポリシリコン膜からなる部分により、入出力端子から信号配線に至る配線抵抗が高くなってしまい、信号劣化の一原因になるという問題点が生じる。

【0007】更に、入出力端子の接続用表面は、その上層として位置する層間絶縁膜に開孔された窓内に位置しているため、窓の縁部分表面の高さと接続用表面の高さとの差や、更にこの差と窓の大きさとの関係によって

(4)

5

は、接続用表面とFPC (flexible print circuit: フレキシブルプリント回路) 等の外部回路とを異方性導電膜 (ACF: Anisotropic Conductive Film) 等により圧着接続する場合には、窓の縁部分が邪魔をして、圧着不良を引き起こすという問題点もある。

【0008】本発明は上述の問題点に鑑みなされたものであり、外部回路等との間で良好に電氣的接続が可能な入出力端子を備えており、製造プロセスにおける工程数削減が可能であると共に高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

【0009】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、複数の走査線及び複数のデータ線と、前記各走査線及び前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタの半導体層と前記画素電極との間に介在し、一方で前記半導体層と電氣的接続され且つ他方で前記画素電極と電氣的接続された第1導電層とを備えており、前記基板上における前記画像表示領域の周辺に位置する端子の一部は、前記第1導電層と同一膜からなる第2導電層により構成されている。

【0010】本発明の電気光学装置によれば、画像表示領域内においては、第1導電層は、半導体層と画素電極との間に介在しており、一方で半導体層と電氣的接続されており、他方で画素電極と電氣的接続されている。従って、第1導電層は、画素電極と半導体層のドレイン領域とを電氣的接続するための中継用の導電層として機能し、例えば両者間を一つのコンタクトホールを介して直接接続する場合の困難性を回避することが可能となる。

【0011】他方、第2導電層は、端子において第1導電層と同一膜からなり端子を少なくとも部分的に構成する。従って、当該電気光学装置の製造プロセスでは、画像表示領域内における第1導電層の形成工程と同時に端子領域における第2導電層の形成工程を行える。即ち、端子を形成するための専用工程の少なくとも一部を削減できるので、製造プロセスの単純化が図られ、当該電気光学装置は比較的容易に製造可能である。

【0012】本発明の電気光学装置の一の態様では、前記端子は、外部回路と接続される外部回路接続端子、前記基板に対向配置される対向基板へ共通電位を供給するための上下導通端子及び当該電気光学装置の検査を行うための検査用端子のうち少なくとも一つを含む。

【0013】この態様によれば、端子領域に、外部回路接続端子、上下導通端子及び検査用端子のうち少なくとも一つを形成するための専用工程の少なくとも一部を削減できる。

【0014】本発明の電気光学装置の他の態様では、前記第2導電層は、前記データ線と同一膜から構成された

6

信号配線の一端に接続されて前記端子を構成する。

【0015】この態様によれば、データ線と同一膜とは、例えばAl (アルミニウム) 膜であり、所定種類の信号配線とは、例えば走査線及びデータ線の少なくとも一方と導通する配線や、走査線及びデータ線の少なくとも一方を駆動するため或いは動作検査を行うための駆動回路、検査回路等の周辺回路にクロック信号、制御信号、電源信号、画像信号等の様々な信号を供給するための配線や、対向基板に接続される上下導通端子に至る定電位配線などである。このようにデータ線と同一膜から構成された信号配線の端子を第2導電層から構成することにより、この端子を形成するための専用工程の少なくとも一部を削減できる。更に、第2導電層を低抵抗材料から形成することにより、端子から信号配線までの抵抗を小さくすることができる。

【0016】本発明の電気光学装置の他の態様では、前記第1導電層及び前記第2導電層は、前記走査線と前記データ線との層間に介在する。

【0017】この態様によれば、画像表示領域では、走査線とデータ線との層間に介在する第1導電層により画素電極と半導体層とを電氣的接続できる。他方、端子に関しては、走査線とデータ線との層間に介在する第2導電層から端子を構成することにより、この端子を形成するための専用工程の少なくとも一部を削減できる。

【0018】本発明の電気光学装置の他の態様では、前記第1導電層及び前記第2導電層は、前記データ線と前記画素電極との層間に介在する。

【0019】この態様によれば、画像表示領域では、データ線と画素電極との層間に介在する第1導電層により画素電極と半導体層とを電氣的接続できる。他方、端子に関しては、データ線と画素電極との層間に介在する第2導電層から端子を構成することにより、この端子を形成するための専用工程の少なくとも一部を削減できる。尚、この態様では、データ線と同一層からなり第1導電層と半導体層とを中継する中継導電層を更に備えて、第1導電層及び中継導電層という二つの導電層を中継して画素電極と半導体層とを電氣的接続してもよい。

【0020】本発明の電気光学装置の他の態様では、前記第2導電層と前記画素電極との層間に介在する層間絶縁膜を更に備えており、第2導電層は、前記層間絶縁膜に開孔された端子用開孔部を有している。

【0021】この態様によれば、第2導電層は、層間絶縁膜に開孔された端子用開孔部を介して端子の接続用表面として露出されるので、端子用開孔部を介して第2導電層とFPC等の外部回路とを異方性導電膜等により接続可能となる。

【0022】本発明の電気光学装置の他の態様では、前記第2導電層と前記画素電極との層間に介在する層間絶縁膜と、前記層間絶縁膜に開孔された窓を介して前記第2導電層上に前記画素電極と同一膜から形成されると共

(5)

7

に前記端子の接続用表面として露出している導電性薄膜とを更に備える。

【0023】この態様によれば、第2導電層は、層間絶縁膜に開孔された端子用開孔部から覗く第2導電層上には、画素電極と同一膜から導電性薄膜が形成されており、端子の接続用表面として露出されるので、端子用開孔部を介して導電性薄膜とFPC等の外部回路とを異方性導電膜等により接続可能となる。特に、画素電極をITO膜から構成する場合には、同じくITO膜からなる導電性薄膜と異方性導電膜とを極めて密着性良く接続できる。そして、このような端子の接続用表面を構成する導電性薄膜は、画素電極を形成する工程と同時に形成できるので、製造プロセスの単純化を図れる。

【0024】これらの端子用開孔部が開孔された態様では、平面的に見て前記端子用開孔部内に位置する前記第2導電層部分の前記基板側には、前記第2導電層と前記基板との層間に介在する少なくともいずれか一層が島状に形成されており、前記端子用開孔部内に位置する前記第2導電層が該島状に対応して盛り上げられている。

【0025】この態様によれば、端子用開孔部内には、例えば半導体層と同一膜、走査線と同一膜、データ線と同一膜からなる一層又は複数の導電層が島状に形成されており、同じく端子用開孔部内においてこの上に形成される第2導電層は、島状に対応して盛り上げられている。このため、端子用開孔部の内部にある第2導電層又は導電性薄膜からなる端子の接続用表面に異方性導電膜を圧着して接続する際に、当該接続用表面の高さが端子用開孔部の縁部表面の高さより低すぎることによる圧着不良を防ぐことができる。

【0026】本発明の電気光学装置の他の態様では、前記第1導電層及び前記第2導電層は、高融点金属を含む。

【0027】この態様によれば、第1導電層及び第2導電層は、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPb（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等からなる。このため、製造プロセスにおいて第1導電層及び第2導電層形成後に行われる各種工程における高温処理で当該第1導電層及び第2導電層が変形したり破壊したりすることはない。また、高融点金属で第2導電層を形成することにより端子から信号配線までの抵抗を小さくできる。但し、第1導電層及び第2導電層は、不純物イオンのドーピングにより低抵抗化されたポリシリコン膜から形成してもよい。

【0028】本発明の第1の電気光学装置の製造方法は上記課題を解決するために、基板上における画像表示領域に、薄膜トランジスタの半導体層を形成する工程と、前記半導体層上に絶縁薄膜を形成する工程と、前記絶縁薄膜上にゲート電極を含む走査線を形成する工程と、前

8

記走査線上に第1層間絶縁膜を形成する工程と、前記絶縁薄膜及び第1層間絶縁膜に前記半導体層に通じる第1コンタクトホールを開孔する工程と、前記第1層間絶縁膜上に、前記第1コンタクトホールを介して前記半導体層に電気的接続されるように第1導電層を形成すると同時に、前記基板上における前記画像表示領域の周辺に端子を少なくとも部分的に構成する第2導電層を前記第1導電層と同一膜により形成する工程と、前記第1導電層及び前記第2導電層上に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜上にデータ線を形成する工程と、前記データ線上に第3層間絶縁膜を形成する工程と、前記第1層間絶縁膜及び前記第2層間絶縁膜に前記第1導電層に通じる第2コンタクトホールを開孔すると同時に前記第2導電層に通じる端子用開孔部を形成する工程と、前記第2コンタクトホールを介して前記第1導電層に電気的接続されるように画素電極を形成する工程とを含む。

【0029】本発明の第1の電気光学装置の製造方法によれば、画像表示領域において、半導体層、絶縁薄膜、走査線及び第1層間絶縁膜がこの順で形成される。次に、絶縁薄膜及び第1層間絶縁膜に、半導体層に通じる第1コンタクトホールが開孔され、半導体層に電気的接続されるように第1導電層が形成される。これと同時に、端子を少なくとも部分的に構成する第2導電層が第1導電層と同一膜から形成される。更に、これら第1導電層及び第2導電層上には、第2層間絶縁膜、データ線及び第3層間絶縁膜がこの順で形成される。次に、画像表示領域においては、第1層間絶縁膜及び第2層間絶縁膜に、第1導電層に通じる第2コンタクトホールが開孔され、これと同時に、端子に関しては、第2導電層に通じる端子用開孔部が形成される。そして、画像表示領域では、第2コンタクトホールを介して第1導電層に電気的接続されるように、画素電極が形成される。このように、第1導電層及び第2導電層を同一膜から同時に形成し、第2コンタクトホールと端子用開孔部とが同時に形成されるため、端子を形成するための専用工程の少なくとも一部を削減できるので、当該製造プロセスの単純化を図れる。

【0030】本発明の第2の電気光学装置の製造方法は上記課題を解決するために、基板上における画像表示領域に、薄膜トランジスタの半導体層を形成する工程と、前記半導体層上に絶縁薄膜を形成する工程と、前記絶縁薄膜上にゲート電極を含む走査線を形成する工程と、前記走査線上に第1層間絶縁膜を形成する工程と、前記絶縁薄膜及び前記第1層間絶縁膜に前記半導体層に通じる第1コンタクトホールを開孔する工程と、前記第1層間絶縁膜上にデータ線を形成すると同時に前記データ線と同一膜から前記第1コンタクトホールを介して前記半導体層に電気的接続されるように中継導電層を形成する工程と、前記データ線及び前記中継導電層上に第2層間絶

(6)

9

縁膜を形成する工程と、前記第2層間絶縁膜に前記中継導電層に通じる第2コンタクトホールを開孔する工程と、前記第2層間絶縁膜上に、前記第2コンタクトホールを介して前記中継導電層に電氣的接続されるように第1導電層を形成すると同時に、前記基板上における前記画像表示領域の周辺に端子を少なくとも部分的に構成する第2導電層を形成する工程と、前記第1導電層及び前記第2導電層上に第3層間絶縁膜を形成する工程と、前記第3層間絶縁膜に、前記第1導電層に通じる第3コンタクトホールを開孔すると同時に前記第2導電層に通じる端子用開孔部を開孔する工程と、前記第3コンタクトホールを介して前記第1導電層に電氣的接続されるように画素電極を形成する工程とを含む。

【0031】本発明の第2の電気光学装置の製造方法によれば、画像表示領域において、半導体層、絶縁薄膜、走査線及び第1層間絶縁膜がこの順で形成される。次に、絶縁薄膜及び第1層間絶縁膜に、半導体層に通じる第1コンタクトホールが開孔され、この上に、データ線が形成され、これと同時に、第1コンタクトホールを介して半導体層に電氣的接続されるようにデータ線と同一膜から中継導電層が形成される。更に、これらデータ線及び中継導電層上には、第2層間絶縁膜が形成される。次に、画像表示領域においては、第2層間絶縁膜に、中継導電層に通じる第2コンタクトホールが開孔され、中継導電層に電氣的接続されるように第1導電層が形成される。これと同時に、第1導電層と同一膜から端子を少なくとも部分的に構成する第2導電層が形成される。次に、これら第1導電層及び第2導電層上に、第3層間絶縁膜が形成される。次に、画像表示領域においては、第3層間絶縁膜に、第1導電層に通じる第3コンタクトホールが開孔される。これと同時に、端子に関しては、第3層間絶縁膜に第2導電層に通じる端子用開孔部が形成される。このように、第1導電層及び第2導電層を同一膜から同時に形成し、第3コンタクトホールと端子用開孔部とが同時に開孔されるため、端子を形成するための専用工程の少なくとも一部を削減できるので、当該製造プロセスの単純化を図れる。

【0032】本発明の第1又は第2の電気光学装置の製造方法の一の態様では、前記データ線を形成する工程において、前記データ線と同一膜から前記端子に一端が接続された信号配線を形成する。

【0033】この態様によれば、データ線と同一膜とは、例えばA1膜であり、信号配線とは、例えば走査線及びデータ線の少なくとも一方と導通する配線や、走査線及びデータ線の少なくとも一方を駆動するために基板上に周辺回路が薄膜トランジスタと一緒に作り込まれた所謂内蔵周辺回路に各種信号を供給するための配線などである。このようにデータ線と同一膜から構成された信号配線の端子を第2導電層から構成することにより、この端子を形成するための専用工程の少なくとも一部を削

10

減できる。更に、第2導電層を低抵抗材料から形成することにより、端子から信号配線までの抵抗を小さくすることができる。

【0034】本発明の第1の電気光学装置の製造方法の他の態様では、前記データ線を形成する工程において、前記データ線と同一膜から前記端子に一端が接続された信号配線を形成し、前記データ線を形成する工程前に、前記データ線を前記半導体層に接続するためのコンタクトホールを開孔すると同時に前記信号配線の一端を前記端子に接続するためのコンタクトホールを開孔する工程を更に含む。

【0035】この態様によれば、データ線と同一膜から構成された信号配線の端子を第2導電層から構成することにより、この端子を形成するための専用工程の少なくとも一部を削減できる。更に、データ線を半導体層に接続するためのコンタクトホールと信号配線の一端を端子に接続するためのコンタクトホールとを同時に開孔できる。加えて、第2導電層を低抵抗材料から形成することにより、端子から信号配線までの抵抗を小さくすることができる。

【0036】本発明の第1又は第2の電気光学装置の製造方法の他の態様では、前記画素電極を形成する工程において、前記端子用開孔部内に前記画素電極と同一膜からなる導電性薄膜を形成する。

【0037】この態様によれば、端子用開孔部内に画素電極と同一膜からなる導電性薄膜を形成するが、第2導電層は、層間絶縁膜に開孔された端子用開孔部から覗く第2導電層上には、画素電極と同一膜から導電性薄膜が形成されており、端子の接続用表面として露出されるので、端子用開孔部を介して導電性薄膜とFPC等の外部回路とを異方性導電膜等により接続可能となる。特に、画素電極をITO膜から構成する場合には、同じくITO膜からなる導電性薄膜と異方性導電膜とを極めて密着性良く接続できる。そして、このような端子の接続用表面を構成する導電性薄膜は、画素電極を形成する工程と同時に形成できるので、製造プロセスの単純化を図れる。

【0038】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

【0039】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0040】（電気光学装置の第1実施形態）本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図5を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、画像表示領域におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-

(7)

11

A' 断面図である。また、図4は、端子領域における入出力端子の平面図であり、図5は、図4のB-B' 断面図である。尚、図3及び図5においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0041】図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと画素電極9aを制御するためのTFT30とがマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通すことが不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通すことが可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が射出する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【0042】図2において、液晶装置のTFTアレ基板には、マトリクス状に複数の透明な画素電極9a

（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5aを介してポリシリコン膜等からなる半導体層1aのうち後述のソース領域に電氣的接続されており、画素電極9aは、図中右上がりの斜線で示した領域に夫々形成されておりバンプとして機能する導電層（以下、バリア層と称す）80a

12

を中継して、第1コンタクトホール8a及び第2コンタクトホール8bを介して半導体層1aのうち後述のドレイン領域に電氣的接続されている。また、半導体層1aのうちチャンネル領域1a'（図中右下りの斜線の領域）に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャンネル領域1a'に走査線3aがゲート電極として対向配置されたTFT30が設けられている。

【0043】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って突出した突出部とを有する。

【0044】また、図中太線で示した領域には夫々、走査線3a、容量線3b及びTFT30の下側を通るように、第1遮光膜11aを設けても良い。より具体的には図2において、第1遮光膜11aは夫々、走査線3aに沿って縞状に形成されていると共に、データ線6aと交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各TFTの少なくともチャンネル領域1a'をTFTアレ基板側から見て夫々覆う位置に設けるようにする。

【0045】次に図3の断面図に示すように、液晶装置は、透明な一方の基板の一例を構成するTFTアレ基板10と、これに対向配置される透明な他方の基板の一例を構成する対向基板20とを備えている。TFTアレ基板10は、例えば石英基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0046】他方、対向基板20には、その全面に渡って対向電極（共通電極）21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0047】TFTアレ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0048】対向基板20には、更に図3に示すように、各画素の非開口領域に、第2遮光膜23が設けられている。このため、対向基板20の側から入射光が画素スイッチング用TFT30の半導体層1aのチャンネル領域1a'やソース側LDD（Lightly Doped Drain）領域1b及びドレイン側LDD領域1cに侵入することはない。更に、第2遮光膜23は、コントラストの向上、カラーフィルタを形成した場合における色材の混色

(8)

13

防止などの機能を有する。

【0049】このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材（スペーサ）が混入されている。

【0050】更に図3に示すように、画素スイッチング用TFT30に各々対向する位置においてTFTアレ基板10と各画素スイッチング用TFT30との間には、第1遮光膜11aが設けられている。第1遮光膜11aは、好ましくは不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、TFTアレ基板10上の第1遮光膜11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、第1遮光膜11aが破壊されたり溶融しないようにできる。第1遮光膜11aが形成されているので、TFTアレ基板10の側からの反射光（戻り光）等が光に対して励起しやすい画素スイッチング用TFT30のチャンネル領域1a'やソース側LDD領域1b、ドレイン側LDD領域1cに入射する事態を未然に防ぐことができ、これに起因した光電流の発生により画素スイッチング用TFT30の特性が劣化することはない。

【0051】更に、第1遮光膜11aと複数の画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを第1遮光膜11aから電氣的絶縁するために設けられるものである。更に、下地絶縁膜12は、TFTアレ基板10の全面に形成されることにより、画素スイッチング用TFT30のための下地膜としての機能を有する。即ち、TFTアレ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドーブトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TFT30等を汚染する事態

14

を未然に防ぐこともできる。

【0052】本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1蓄積容量電極1fとし、これに対向する容量線3bの一部を第2蓄積容量電極とし、ゲート絶縁膜を含む絶縁薄膜2を走査線3aに対向する位置から延設してこれらの電極間に挟持された第1誘電体膜とすることにより、第1蓄積容量70aが構成されている。更に、この第2蓄積容量電極と対向するバリア層80aの一部を第3蓄積容量電極とし、これらの電極間に第1層間絶縁膜81を設けることにより、第1層間絶縁膜81が第2誘電体膜として機能し、第2蓄積容量70bが形成されている。そして、これら第1蓄積容量70a及び第2蓄積容量70bが第1コンタクトホール8aを介して並列接続されて蓄積容量70が構成されている。ここで、半導体層1aの高濃度ドレイン領域1eは、データ線6a及び走査線3aの下に延設されて画素スイッチング用TFT30を形成し、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に絶縁薄膜2を介して対向配置されて、第1蓄積容量電極1fとされ、絶縁薄膜2は第1誘電体膜として機能する。

【0053】画素スイッチング用TFT30は、LDD構造を有しており、走査線3a、当該走査線3aからの電界によりチャンネルが形成される半導体層1aのチャンネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つがバリア層80aを中継して接続されている。半導体層1aのソース領域及びドレイン領域は後述のように、n型又はp型のチャンネルを形成するかに応じて所定濃度のn型用又はp型用の不純物イオンをドーピングすることにより形成されている。n型チャンネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。本実施形態では特にデータ線6aは、Al等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。また、バリア層80a及び第1層間絶縁膜81の上には、高濃度ソース領域1dへ通じるコンタクトホール5a及びバリア層80aへ通じるコンタクトホール8bが各々形成された第2層間絶縁膜4が形成されている。この高濃度ソース領域1dへのコンタクトホール5aを介して、データ線6aは高濃度ソース領域1dに電氣的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、バリア層80aへのコンタクトホール8bが形成された第3層間絶縁膜7が形成されている。このコンタクトホール

(9)

15

8 bを介して、画素電極9 aはバリア層8 0 aに電氣的接続されており、更にバリア層8 0 aを中継してコンタクトホール8 aを介して高濃度ドレイン領域1 eに電氣的接続されている。前述の画素電極9 aは、このように構成された第3層間絶縁膜7の上面に設けられている。このように、画素スイッチング用TFT 3 0は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1 b及び低濃度ドレイン領域1 cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、走査線3 aの一部からなるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0054】尚、本実施形態では、画素スイッチング用TFT 3 0の走査線3 aの一部からなるゲート電極を高濃度ソース領域1 d及び高濃度ドレイン領域1 e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0055】本実施形態の液晶装置では特に、TFTアレイ基板1 0上には、データ線6 a及び走査線3 bが第2層間絶縁膜4を介して立体的に相交差するように設けられている。そして、バリア層8 0 aは、半導体層1 aと画素電極9 aとの間に介在しており、高濃度ドレイン領域1 eと画素電極9 aとをコンタクトホール8 a及びコンタクトホール8 bを経由して電氣的接続する。このため、画素電極9 aからドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール8 a及びコンタクトホール8 bの径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合に、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50 nm程度の非常に薄い半導体層1 aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウェットエッチングで半導体層1 aまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。これに対して本実施形態では、画素電極9 a及び高濃度ドレイン領域1 eを2つの直列なコンタクトホール8 a及びコンタクトホール8 bにより接続すればよいので、これらコンタクトホール8 a及びコンタクトホール8 bを夫々、ドライエッチング

16

により開孔することが可能となるのである。或いは、少なくともウェットエッチングにより開孔する距離を短くすることが可能となるのである。但し、コンタクトホール8 a及びコンタクトホール8 bに夫々、若干のテーパを付けるために、ドライエッチング後に敢えて比較的短時間のウェットエッチングを行うようにしてもよい。

【0056】以上のように本実施形態によれば、コンタクトホール8 a及びコンタクトホール8 bの径を夫々小さくでき、コンタクトホール8 aにおけるバリア層8 0 aの表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9 aの部分における平坦化が促進される。更に、コンタクトホール8 bにおける画素電極9 aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9 aの部分における平坦化が促進される。

【0057】図4及び図5に示すように、画像表示領域の周辺に位置する周辺領域の一部である端子領域には、画素部におけるバリア層8 0 aと同一膜からなる端子用導電層8 0 sから入出力端子が構成されている。より具体的には、図2及び図3で示した画素部における下地絶縁膜1 2、絶縁薄膜2及び第1層間絶縁膜8 1が、この端子領域にも、そのまま形成されており、第1層間絶縁膜8 1上には、バリア層8 0 aと同一膜から形成され、平面形状が島状である端子用導電層8 0 sが形成されている。端子用導電層8 0 s上には、第2層間絶縁膜4が形成され、第2層間絶縁膜4上には、複数のコンタクトホール5 sを介して端子用導電層8 0 sと電氣的接続がとれるように、データ線6 aと同一膜（即ち、A1膜）からなる信号配線6 sが形成されている。更に、信号配線6 s上には、第3層間絶縁膜7が形成されている。そして、第2層間絶縁膜4及び第3層間絶縁膜7には、平面形状が端子用導電層8 0 sよりも一回り小さい端子用開孔部（以下、適宜窓と称す。）8 sが開孔されており、端子用導電層8 0 sは、この窓8 s内において、当該入出力端子の接続用表面として露出している。尚、入出力端子とは、例えば外部回路と接続される外部回路接続用端子、前記基板に対向配置される対向基板へ共通電位を供給するための上下導通端子、当該電気光学装置の検査を行うための検査用端子など各種の端子を含む意である。また、入出力端子とは、入力用、出力用、もしくは入力及び出力用の両方の端子を含む意である。他方、信号配線6 sとは、例えば走査線3 aやデータ線6 aと導通する配線や、走査線3 aやデータ線6 aを駆動するため或いは動作検査を行うための走査線駆動回路、データ線駆動回路、検査回路等の内蔵周辺回路にクロック信号、制御信号、電源信号、画像信号等の様々な信号を供給するための配線や、対向基板に接続される上下導通端子に至る定電位配線などを含む意であり、外部回路等と当該入出力端子を介して電氣的接続されるものである。

【0058】従って、本実施形態の液晶装置を製造する

(10)

17

プロセスでは、画像表示領域内におけるバリア層80aの形成工程と同時に端子領域における端子用導電層80sの形成工程を行える。更に端子領域におけるコンタクトホール5sは、画素部におけるデータ線6aを半導体層1aに接続するためのコンタクトホール5aと同時に開孔されるので、専用の開孔工程を必要としない。更にまた、窓8sについても、画素部における画素電極9aをバリア層80aに接続するための第2コンタクトホール8bと同時に開孔されるので、専用の開孔工程を必要としない。これにより、従来行っていたデータ線6aと同一膜のA1膜を露出させて入出力端子を設ける場合に、以降の工程で画素電極9aを形成する際にITO膜との接触による電気腐食を防止するため、画素電極9aを形成後に行っていた第3層間絶縁膜7の開孔工程を削減することができるので、製造プロセスの単純化が図られ、当該液晶装置は比較的容易に製造可能であり、比較低コストの液晶装置として構築される。

【0059】本実施形態では特に、端子用導電層80sは、例えば、Ti、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等からなる。このため、製造プロセスにおいて端子用導電層80sの形成後に行われる各種工程における高温処理で端子用導電層80sが変形したり破壊したりすることはない。また、高融点金属で端子用導電層80sを形成することにより入出力端子の接続用表面から信号配線までの抵抗を小さくできる。

【0060】また、本実施形態では、バリア層80a及び端子用導電層80sは、走査線3aとデータ線6aとの層間に介在しており、端子用導電層80sは、第2層間絶縁膜4及び第3層間絶縁膜7に開孔された窓8sを介して、入出力端子の接続用表面として露出しているの

ので、窓8sを介して端子用導電層80sとFPC等の外部回路とを異方性導電膜等により接続可能となる。

【0061】（電子光学装置の第2実施形態）本発明による電気光学装置の第2実施形態である液晶装置の構成について、図6及び図7を参照して説明する。図6は、端子領域における入出力端子の平面図であり、図7は、図6のC-C'断面図である。尚、図6及び図7に示した第2実施形態において図4及び図5に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。図7においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0062】図6及び図7において、第2実施形態では第1実施形態とは異なり、窓8s内における端子用導電層80sの表面には、画素電極9aと同一膜（即ち、ITO膜）からなる導電性薄膜9sが形成されており、入出力端子の接続用表面として露出している。その他の構成については第1実施形態の場合と同様である。

【0063】従って、第2実施形態によれば、窓8sを

18

介して導電性薄膜9sとFPC等の外部回路とを異方性導電膜等により接続可能となる。特に、ITO膜からなる導電性薄膜9sと異方性導電膜とは、極めて密着性良く接続可能である。そして、このような入出力端子の接続用表面を構成する導電性薄膜9sは、画素部における画素電極9aを形成する工程と同時に形成できるので、専用工程が不要であり、工程数の増加を招かない。

【0064】（電子光学装置の第3実施形態）本発明による電気光学装置の第3実施形態である液晶装置の構成について、図8及び図9を参照して説明する。図8は、端子領域における入出力端子の平面図であり、図9は、図8のD-D'断面図である。尚、図8及び図9に示した第3実施形態において図4及び図5に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図9においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0065】図8及び図9において、第3実施形態では第1実施形態とは異なり、平面的に見て窓8s内に位置する端子用導電層80sの下側には、第1遮光膜11aと同一膜からなる島状の遮光膜11s、半導体層1aと同一膜からなる島状の半導体層1s及び走査線3aと同一膜からなる島状のポリシリコン膜3sが形成されており、窓8s内に位置する端子用導電層80sが該島状に対応して盛り上げられている。その他の構成については第1実施形態と同様である。

【0066】従って、第3実施形態によれば、窓8s内において入出力端子の接続用表面をなす端子用導電層80sとFPC等の外部回路とを異方性導電膜等により圧着接続する際に、当該接続用表面の高さが窓8sの縁部表面の高さより低すぎること起因する圧着不良を防ぐことができる。そして、このような端子用導電層80sを島状に盛り上げるための島状の遮光膜11s、半導体層1s及びポリシリコン膜3sは、画素部における第1遮光膜11a、半導体層1a及び走査線3aを形成する工程と同時に形成できるので、専用工程が不要であり、工程数の増加を招かない。

【0067】（電子光学装置の第4実施形態）本発明による電気光学装置の第4実施形態である液晶装置の構成について、図10及び図11を参照して説明する。図10は、端子領域における入出力端子の平面図であり、図11は、図10のE-E'断面図である。尚、図10及び図11に示した第4実施形態において図8及び図9に示した第3実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図11においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0068】図10及び図11において、第4実施形態では第3実施形態とは異なり、窓8s内における端子用

(11)

19

導電層80sの表面には、画素電極9aと同一膜（即ち、ITO膜）からなる導電性薄膜9sが形成されており、入出力端子の接続用表面として露出している。その他の構成については第3実施形態の場合と同様である。

【0069】従って、第4実施形態によれば、窓8sを介して導電性薄膜9sとFPC等の外部回路とを異方性導電膜等により接続可能となる。特に、ITO膜からなる導電性薄膜9sと異方性導電膜とは、極めて密着性良く接続可能である。そして、このような入出力端子の接続用表面を構成する導電性薄膜9sは、画素部における画素電極9aを形成する工程と同時に形成できるので、専用工程が不要であり、工程数の増加を招かない。

【0070】以上説明した第1から第4実施形態では、バリア層80aは高融点金属膜から構成されているので、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、製造プロセス中にドライエッチングによるバリア層80aの突き抜けの可能性は殆ど無い。また、バリア層80a形成工程の後に行われる高温処理により、バリア層80aが破壊されたり溶融しないようにできる。同様に、端子領域においては、端子用導電層80sの突き抜けの可能性は殆ど無く、端子用導電層80sが破壊されたり溶融しないようにできる。加えて、このような高融点金属と画素電極9aを構成するITO膜との相性はよいので、コンタクトホール8bを介してバリア層80a及び画素電極9a間で良好なコンタクトがとれる。同様に、端子領域においては、端子用導電層80s及び導電性薄膜9s間で良好なコンタクトがとれる。また、バリア層80a及び端子用導電層80sの膜厚は、例えば50nm以上500nm以下程度とするのが好ましい。50nm程度の厚みがあれば、製造プロセスにおけるコンタクトホール8bや窓8sの開孔時に突き抜ける可能性は低くなり、また500nm程度であれば画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。同様に、窓8sの開孔時に突き抜ける可能性は低くなり、窓8sの深さが圧着不良の原因とならないか或いは島状に盛り上げれば問題とならないからである。

【0071】但し、このようなバリア層80a及び端子用導電層80sは、高融点金属膜ではなく、例えば、リン等をドーブした導電性の低抵抗なポリシリコン膜から構成してもよい。このように構成すれば、バリア層80aは、遮光膜としての機能は発揮しないが、蓄積容量70を増加させる機能及びバリア層本来の中継機能は十分に発揮し得る。更に、第2層間絶縁膜4との間で熱等によるストレスが発生しにくくなるので、バリア層80a及びその周辺におけるクラック防止に役立つ。同時に端子領域では、端子用導電層80sは、入出力端子として十分に機能し得、端子用導電層80s及びその周辺におけるクラック防止に役立つ。

【0072】（電子光学装置の第5実施形態）本発明に

20

よる電気光学装置の第5実施形態である液晶装置の構成について、図12から図15を参照して説明する。図12は、画像表示領域におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図13は、図12のF-F'断面図である。また、図14は、端子領域における入出力端子の平面図であり、図15は、図14のG-G'断面図である。尚、図12から図15に示した第5実施形態において図2から図5に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。図13及び図15においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0073】まず、画素部については、図12及び図13において、第5実施形態では第1実施形態におけるバリア層80aの代りに、半導体層1aの高濃度ドレイン領域1eにコンタクトホール88aを介して接続されておりデータ線6aと同一層から構成された中継導電層6bと、画素電極9aにコンタクトホール88bを介して接続されたバリア層90aとを備えている。そして、中継導電層6bとバリア層90aとは、データ線6a及び中継導電層6b上に形成された第2層間絶縁膜4を介して対向配置されており、この第2層間絶縁膜4に開孔されたコンタクトホール88cを介して相互に電気的接続されている。その他の画素部に係る構成については第1実施形態の場合と同様である。

【0074】次に、端子部については、図14及び図15において、第5実施形態では第1実施形態における端子用導電層80sの代りに、バリア層90aと同一膜から構成された端子用導電層90sを備えている。そして、信号配線6sと端子用導電層90sとは、第2層間絶縁膜4を介して対向配置されており、この第2層間絶縁膜4に開孔されたコンタクトホール88tを介して相互に電気的接続されている。そして、端子用導電層90sは、第3層間絶縁膜7に開孔された窓88sから接続用表面として露出している。その他の端子部に係る構成については第1実施形態の場合と同様である。

【0075】第5実施形態では、バリア層90a及び端子用導電層90sの材質としては、第1実施形態におけるバリア層80aと同様のものが好適に用いられる。特に画素電極9aがITO膜からなりデータ線6aがAl膜からなる場合には、両者との相性が良いTi、Cr等の高融点金属等からバリア層90aを構成するのが好ましい。

【0076】従って、第5実施形態によれば、画素部については、中継導電層6b及びバリア層90aを介して画素電極9aと高濃度ドレイン領域1eとが電気的接続されることができる。また、第1層間絶縁膜81を介して容量線3bと中継導電層6bとが対向配置される構造により蓄積容量を増大させることも可能となる。更に、

(12)

21

コンタクトホール88aの位置は、データ線6aの存在しない平面領域における任意の位置に設定でき、コンタクトホール88bの位置は、第2層間絶縁膜4上の任意の位置に設定できるので、設計自由度が増し有利である。

【0077】更に、第5実施形態によれば、画像表示領域内におけるバリア層90aの形成工程と同時に端子領域における端子用導電層90sの形成工程を行える。更に端子領域におけるコンタクトホール88tは、画素部における中継導電層6b及びバリア層90aを相互接続するためのコンタクトホール88cと同時に開孔されるので、専用の開孔工程を必要としない。更にまた、窓88sについても、画素部における画素電極9aをバリア層90aに接続するためのコンタクトホール88bと同時に開孔されるので、専用の開孔工程を必要としない。このように本実施形態によれば、図14及び図15に示した入出力端子を形成するための専用工程の一部を削減できるので、製造プロセスの単純化が図られ、当該液晶装置は比較的容易に製造可能であり、比較低コストの液晶装置として構築される。

【0078】（電子光学装置の第6実施形態）本発明による電気光学装置の第6実施形態である液晶装置の構成について、図16及び図17を参照して説明する。図16は、端子領域における入出力端子の平面図であり、図17は、図16のH-H'断面図である。尚、図16及び図17に示した第6実施形態において図14及び図15に示した第5実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。図17においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0079】図16及び図17において、第6実施形態では第5実施形態とは異なり、窓88s内における端子用導電層90sの表面には、画素電極9aと同一膜（即ち、ITO膜）からなる導電性薄膜9sが形成されており、入出力端子の接続用表面として露出している。その他の構成については第5実施形態の場合と同様である。

【0080】従って、第6実施形態によれば、窓88sを介して導電性薄膜9sとFPC等の外部回路とを異方性導電膜等により接続可能となる。特に、ITO膜からなる導電性薄膜9sと異方性導電膜とは、極めて密着性良く接続可能である。そして、このような入出力端子の接続用表面を構成する導電性薄膜9sは、画素部における画素電極9aを形成する工程と同時に形成できるので、専用工程が不要であり、工程数の増加を招かない。

【0081】（電子光学装置の第7実施形態）本発明による電気光学装置の第7実施形態である液晶装置の構成について、図18及び図19を参照して説明する。図18は、端子領域における入出力端子の平面図であり、図19は、図18のI-I'断面図である。尚、図18及

22

び図19に示した第7実施形態において図14及び図15に示した第5実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。また、図15においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0082】図18及び図19において、第7実施形態では第5実施形態とは異なり、平面的に見て窓88s内に位置する端子用導電層90sの下側には、第1遮光膜11aと同一膜からなる島状の遮光膜11s、半導体層1aと同一膜からなる島状の半導体層1s及び走査線3aと同一膜からなる島状のポリシリコン膜3sが形成されており、窓88s内に位置する端子用導電層90sが該島状に対応して盛り上げられている。その他の構成については第5実施形態と同様である。

【0083】従って、第7実施形態によれば、窓88s内において入出力端子の接続用表面をなす端子用導電層90sとFPC等の外部回路とを異方性導電膜等により圧着接続する際に、当該接続用表面の高さが窓88sの縁部表面の高さより低すぎること起因する圧着不良を防ぐことができる。そして、このような端子用導電層90sを島状に盛り上げるための島状の遮光膜11s、半導体層1s及びポリシリコン膜3sは、画素部における第1遮光膜11a、半導体層1a及び走査線3aを形成する工程と同時に形成できるので、専用工程が不要であり、工程数の増加を招かない。また、信号配線6sと同一膜で、同一工程で形成できる導電膜6s'を島状に形成しても良い。

【0084】（電子光学装置の第8実施形態）本発明による電気光学装置の第8実施形態である液晶装置の構成について、図20及び図21を参照して説明する。図20は、端子領域における入出力端子の平面図であり、図21は、図20のJ-J'断面図である。

【0085】図20及び図21において、第8実施形態では第7実施形態とは異なり、窓88s内における端子用導電層90sの表面には、画素電極9aと同一膜（即ち、ITO膜）からなる導電性薄膜9sが形成されており、入出力端子の接続用表面として露出している。その他の構成については第7実施形態の場合と同様である。

【0086】従って、第8実施形態によれば、窓88sを介して導電性薄膜9sとFPC等の外部回路とを異方性導電膜等により接続可能となる。特に、ITO膜からなる導電性薄膜9sと異方性導電膜とは、極めて密着性良く接続可能である。そして、このような入出力端子の接続用表面を構成する導電性薄膜9sは、画素部における画素電極9aを形成する工程と同時に形成できるので、専用工程が不要であり、工程数の増加を招かない。

【0087】以上説明した第5から第8実施形態では、バリア層90a及び端子用導電層90sは高融点金属膜から構成されているが、例えば、リン等をドーブした導

(13)

23

電性の低抵抗なポリシリコン膜から構成してもよい。このように構成すれば、バリア層90a及び端子用導電層90sは、第3層間絶縁膜7及び第2層間絶縁膜4との間で熱等によるストレスが発生しにくくなるので、バリア層90a及びその周辺におけるクラック防止に役立つ。同時に端子領域では、端子用導電層90sは、入出力端子として十分に機能し得、端子用導電層90s及びその周辺におけるクラック防止に役立つ。

【0088】(電気光学装置の製造プロセス) 次に、以上のような構成を持つ液晶装置の製造プロセスについて、上述した電気光学装置の第1実施形態の場合を例にとり、図22から図25を参照して説明する。特に端子領域については、図10及び図11に示した第4実施形態の比較的複雑な層構造をもつ端子部を形成するものを一例として示す。即ち、第2から第8実施形態の入出力端子については、以下に説明する入出力端子部分の製造プロセスにおいていずれかの工程を省いたり若干の変更を加えることにより製造可能であるため、その説明は省略する。ここに、図22及び図23は各工程におけるTFTアレイ基板側の各層を図3のA-A'断面に対応させて示す工程図であり、画素スイッチング用TFTを示している。また、図24及び図25は各工程におけるTFTアレイ基板側の各層を図10に示したE-E'断面に対応させて示す工程図であり、入出力端子部分を示している。特に図22及び図23に示した工程(1)から工程(16)と図24及び図25に示した工程(1)から工程(16)とは夫々、同一基板上の異なる領域において同時に行われる工程である。

【0089】まず図22及び図24の工程(1)に示すように、石英基板、ハードガラス、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約900~1300℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚の遮光膜11を形成する。尚、遮光膜11上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成し、該形成された遮光膜11をフォトリソグラフィ及びエッチングを行うことにより、第1遮光膜11aを形成する。

【0090】同時に図24の工程(1)に示すように、端子部における窓8sが開孔される予定の領域内に、島状の遮光膜11sを形成する。

【0091】また、第1遮光膜11a及び島状の遮光膜

24

11sの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500nm~2000nmとする。

【0092】次に図22の工程(2)に示すように、下地絶縁膜12の上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、アモルファスシリコン膜を約50~200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させてポリシリコン膜を形成する。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使ったアニール処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。固相成長させたポリシリコン膜を、フォトリソグラフィ工程、エッチング工程等により半導体層1aを形成する。

【0093】同時に図24の工程(2)に示すように、端子部における下地絶縁膜12上にも島状の半導体層1sを形成する。

【0094】次に図22及び図24のそれぞれの工程(3)に示すように、画素スイッチング用TFT30を構成する半導体層1aと端子部の半導体層1sを約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁薄膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。尚、絶縁薄膜2は、熱酸化シリコン膜上にCVD装置等で酸化シリコン膜や窒化シリコン膜を形成して、多層構造としてもよい。このように多層構造にすれば、高温熱酸化時間を短くすることが可能になり、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができ

【0095】次に図22及び図24の工程(4)に示すように、レジスト層500を第1蓄積容量電極1fとなる部分を除く半導体層1a及び島状の半導体層1s上に形成した後、例えばPイオンをドーズ量約3×10¹²/cm²でドーピングして、第1蓄積容量電極1fを低抵抗化する。

【0096】次に図22の工程(5)に示すように、減

(14)

25

圧CVD法等によりポリシリコン膜を堆積し、更にP（リン）を熱拡散して低抵抗化したポリシリコン膜をフォトリソグラフィ工程、エッチング工程当を施すことにより、走査線3a及び容量線3bを形成する。走査線3a及び容量線3bの膜厚は、約100～500nmの厚さ、好ましくは約300nmに堆積する。

【0097】同時に図24の工程（5）に示すように、端子部における窓8sが開孔される予定の領域内に、島状のポリシリコン膜3sを形成する。

【0098】次に図22及び図24の工程（6）に示すように、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PイオンなどのV族元素を $1 \sim 10 \times 10^{13} / \text{cm}^2$ の低濃度にてドーピングする。これにより、ゲート電極下の半導体層1aはチャネル領域1a'となる。

【0099】次に図22及び図24の工程（7）に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aの一部であるゲート電極よりも幅の広いマスクでレジスト層600を形成した後、同じくPなどのV族元素を $1 \sim 10 \times 10^{15} / \text{cm}^2$ の高濃度にてドーピングする。

【0100】尚、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素のドーパントを用いてドーピングする。

【0101】次に図22及び図24の工程（8）に示すように、常圧CVD法、プラズマCVD法等によりTFTアレイ基板10の全面に、酸化シリコン膜あるいは窒化シリコン膜からなる第1層間絶縁膜81を成膜する。第1層間絶縁膜81の膜厚を10nm～200nm程度に薄膜形成することにより、画素スイッチング用TFT30の第2蓄積容量70bを増加させることができる。

【0102】次に図22の工程（9）に示すように、バリア層80aと高濃度ドレイン領域1eとを電気的接続するためのコンタクトホール8aを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより絶縁薄膜2及び第1層間絶縁膜81に開孔する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール8aを開孔可能である。或いは、コンタクトホール8aが半導体層1aを突き抜けるのを防止するのに有利なウェットエッチングを併用してもよい。このウェットエッチングにより、コンタクトホール8aをテーパ形状にできるため、バリア層80aの断線による接続不良を抑制することができる。

【0103】次に図23の工程（10）に示すように、絶縁薄膜2、第1層間絶縁膜81及びコンタクトホール

26

8aを介して覗く高濃度ドレイン領域1eの全面に、Ti、Cr、W、Ta、Mo及びPb等の金属や金属シリサイド等の金属合金膜をスパッタ処理により堆積した後、フォトリソグラフィ及びエッチング処理により、第3蓄積容量電極を含むバリア層80aを形成する。尚、このバリア層80a上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0104】同時に図25の工程（10）に示すように、端子部における窓8sが開孔される予定の領域から信号配線が形成される領域にかけて、島状の端子用導電層80sを形成する。

【0105】次に図23及び図25のそれぞれの工程（11）に示すように、TFTアレイ基板10の全面に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の膜厚は、約500～1500nmが好ましい。第2層間絶縁膜4の膜厚が500nm以上あれば、データ線6a及び走査線3a間における寄生容量は余り又は殆ど問題とならない。

【0106】次に図23の工程（12）に示すように、データ線6aと半導体層の高濃度ソース領域1dを電気的接続するためのコンタクトホール5aを反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより絶縁薄膜2、第1層間絶縁膜81及び第2層間絶縁膜4に開孔する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール5aを開孔可能である。また、ウェットエッチングを短い時間施すことにより、コンタクトホール5aをテーパ状にしても良い。これにより、データ線6aの断線を防止することができる。

【0107】同時に図25の工程（12）に示すように、端子部において、端子用導電層80sと信号配線6sを電気的接続するためのコンタクトホール5sを第2層間絶縁膜4に開孔する。

【0108】次に図23の工程（13）に示すように、データ線6aをスパッタリング法等によりAl等の導電性の金属膜から形成する。

【0109】同時に図25の工程（13）に示すように、信号配線6sを形成する。

【0110】次に図23及び図25のそれぞれの工程（14）に示すように、TFTアレイ基板10の全面に、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500～2000nmが好ましい。第2層間絶縁膜4の膜厚が500nm以上あれば、データ線6a及び画素電極9a間における寄生容量は余り又は殆ど

(15)

27

問題とならない。

【0111】次に図23の工程(15)に示すように、画素電極9aとバリア層80aを電気的接続するためのコンタクトホール8bを反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより第3層間絶縁膜7に開孔する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール8bを開孔可能である。また、ウェットエッチングを短い時間施すことにより、コンタクトホール8bをテーパ状にしても良い。これにより、画素電極9aの接続不良を防止することができる。

【0112】同時に図25の工程(15)に示すように、端子部において、端子用導電層80sの表面を露出させるために窓8sを開孔する。

【0113】次に図23の工程(16)に示すように、ITO等の透明導電膜により画素電極9aを形成する。画素電極9aは、ニュートンリングの関係から約10〜200nm程度の厚さに堆積するとよい。尚、当該液晶装置を反射型の液晶装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0114】同時に図25の工程(16)に示すように、端子部において、露出した端子用導電層80sを覆うように導電性薄膜9sを形成する。これにより、ACFとの密着性がよいITO膜を端子用の材料として用いることができる。

【0115】以上説明したように本実施形態の製造プロセスによれば、画素部における各工程(1)〜(16)と端子部における各工程(1)〜(16)とを同時に行える。即ち、従来行われていた、画素電極9a形成後の入出力端子上の層間絶縁膜を除去するための専用工程を削減できる。更に、上述した製造プロセスにおけるTF-T30の素子形成工程と並行して、nチャネル型TF-T及びpチャネル型TF-Tから構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路をTF-Tアレイ基板10上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用TF-T30を構成する半導体層1aをポリシリコン膜で形成すれば、画素スイッチング用TF-T30の形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

【0116】また、第5から第8実施形態のように、半導体層1aと画素電極9aを中継導電層6b及びバリア層90aで接続する場合は、データ線6aと同一膜からなる中継導電層6bについては、例えば、上述の製造プロセスにおける工程(12)において、高濃度ドレイン領域1eに至るコンタクトホール88aを開孔し、工程(13)において、中継導電層6bすればよい。更に第2層間絶縁膜4及びバリア層90aについては、データ線6a及び中継導電層6b上に、第1実施形態における

28

工程(8)から工程(10)と同様のプロセスにより形成すればよい。即ち、第5から第8実施形態を製造する場合にも、従来行われていた、画素電極9a形成後の入出力端子上の層間絶縁膜を除去するための専用工程を削減できる。

【0117】尚、以上説明した製造プロセスでは、画素電極が形成される第3層間絶縁膜7の表面を平坦化するための処理は行われていないが、第3層間絶縁膜7の上面对して平坦化処理を施すなどして、最終的に画素電極9a及び配向膜16の下地を平坦化してもよい。このような平坦化処理は、例えば、第3層間絶縁膜7を形成する工程において、CMP (Chemical Mechanical Polishing) 処理、スピコート処理、リフロー法等により行ったり、有機SOG (Spin On Glass)、無機SOG、ポリイミド膜等を利用して行えばよい。或いは、配線や素子が形成される領域のTF-Tアレイ基板10や各層間絶縁膜に凹状の溝を形成してもよい。

【0118】(電気光学装置の全体構成) 以上のように構成された各実施形態における液晶装置の全体構成を図26及び図27を参照して説明する。尚、図26は、TF-Tアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図27は、図26のK-K'断面図である。

【0119】図26において、TF-Tアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続用端子102がTF-Tアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更にTF-Tアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくと

(16)

29

も1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的導通をとるための導通材を備えた上下導通端子106が設けられている。そして、図27に示すように、図26に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路103、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板20上の第2遮光膜23はTFTアレイ基板10の遮光領域よりも小さく形成すれば良い。また、液晶装置の用途により、第2遮光膜23は容易に取り除くことができる。

【0120】尚、図26及び図27において、上述した各実施形態における入出力端子は、外部回路接続用端子102及び上下導通端子106に好適に用いられている。

【0121】以上図1から図27を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0122】以上説明した各実施形態における液晶装置は、カラー液晶プロジェクトに適用されるため、3枚の液晶装置がR (赤) G (緑) B (青) 用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に各実施形態にお

30

ける液晶装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

10 【0123】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

【図面の簡単な説明】

【図1】電気光学装置の第1実施形態である液晶装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

20 【図2】第1実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】第1実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図5】図4のB-B'断面図である。

【図6】第2実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図7】図6のC-C'断面図である。

30 【図8】第3実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図9】図8のD-D'断面図である。

【図10】第4実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図11】図10のE-E'断面図である。

【図12】電気光学装置の第5実施形態である液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図13】図12のF-F'断面図である。

40 【図14】第5実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図15】図14のG-G'断面図である。

【図16】第6実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図17】図16のH-H'断面図である。

【図18】第7実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

【図19】図18のI-I'断面図である。

50 【図20】第8実施形態の液晶装置における端子領域に形成される各端子部の平面図である。

(17)

31

【図21】図20のJ-J'断面図である。

【図22】液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図（その1）である。

【図23】液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図（その2）である。

【図24】液晶装置の製造プロセスの実施形態における端子領域についての各工程を順を追って示す工程図（その1）である。

【図25】液晶装置の製造プロセスの実施形態における端子領域についての各工程を順を追って示す工程図（その2）である。

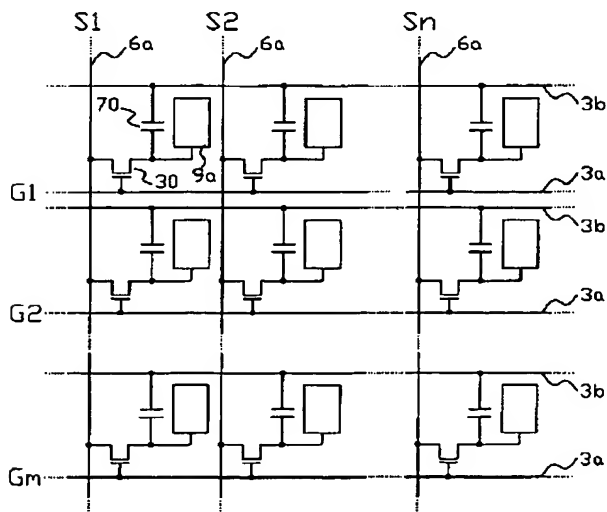
【図26】各実施形態の液晶装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図27】図26のK-K'断面図である。

【符号の説明】

- 1 a …半導体層
- 1 a' …チャンネル領域
- 1 b …低濃度ソース領域（ソース側LDD領域）
- 1 c …低濃度ドレイン領域（ドレイン側LDD領域）
- 1 d …高濃度ソース領域
- 1 e …高濃度ドレイン領域
- 1 f …第1蓄積容量電極
- 2 …絶縁薄膜
- 3 a …走査線
- 3 b …容量線（第2蓄積容量電極）
- 3 s …ポリシリコン膜

【図1】



32

4 …第2層間絶縁膜

5 a …コンタクトホール

6 a …データ線

6 s …信号配線

7 …第3層間絶縁膜

8 a …コンタクトホール

8 b …コンタクトホール

8 s …窓

9 a …画素電極

10 9 s …導電性薄膜

10 …TFTアレイ基板

11 a …第1遮光膜

12 …下地絶縁膜

16 …配向膜

20 …対向基板

21 …対向電極

22 …配向膜

23 …第2遮光膜

30 …画素スイッチング用TFT

20 50 …液晶層

52 …シール材

53 …第3遮光膜

70 …蓄積容量

70 a …第1蓄積容量

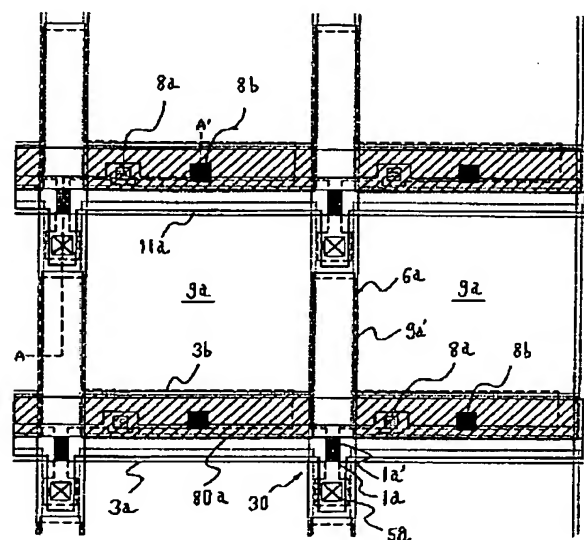
70 b …第2蓄積容量

80 a …バリア層

80 s …端子用導電層

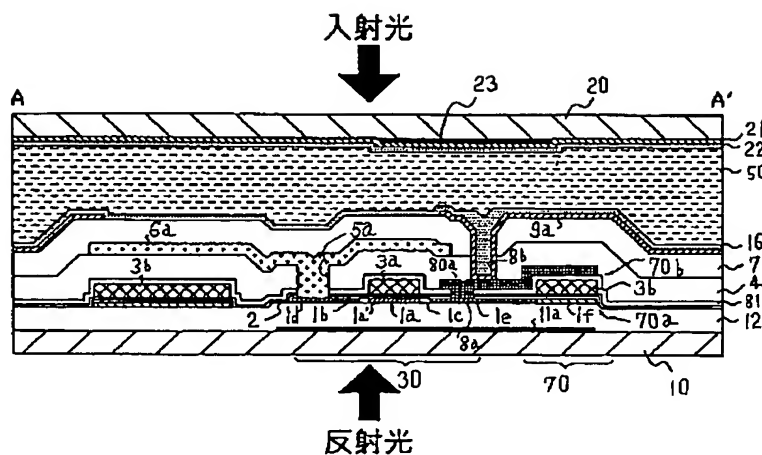
81 …第1層間絶縁膜

【図2】

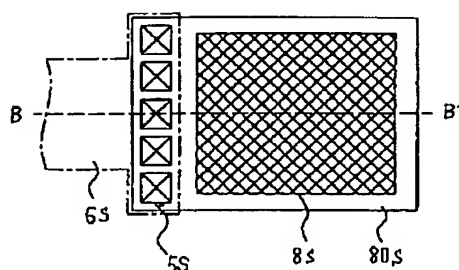


(18)

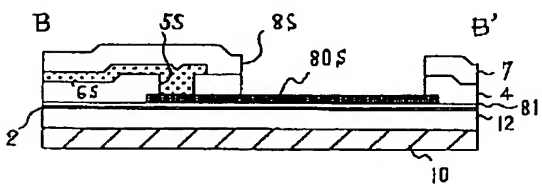
【図3】



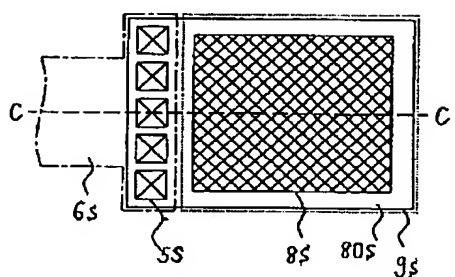
【図4】



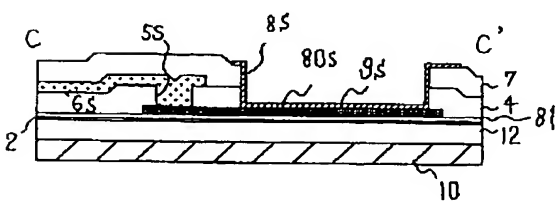
【図5】



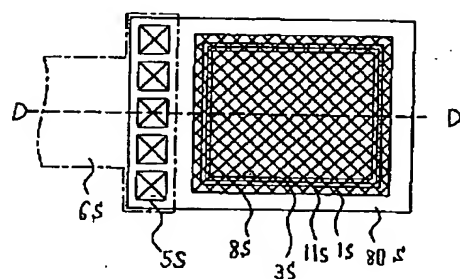
【図6】



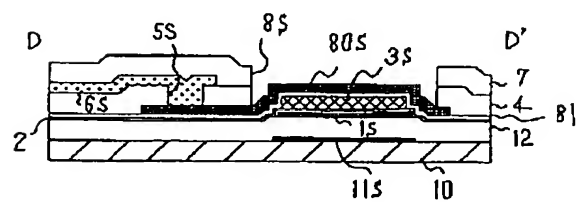
【図7】



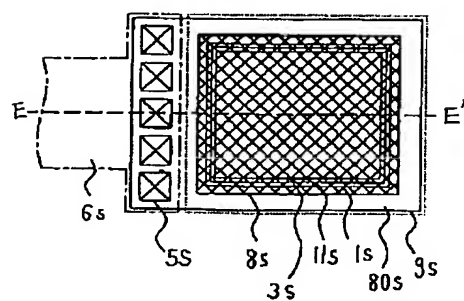
【図8】



【図9】

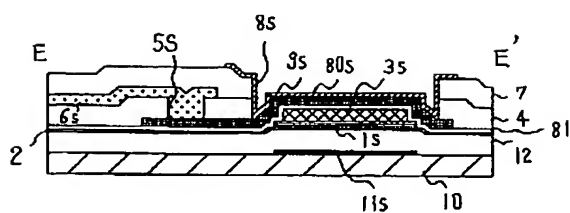


【図10】

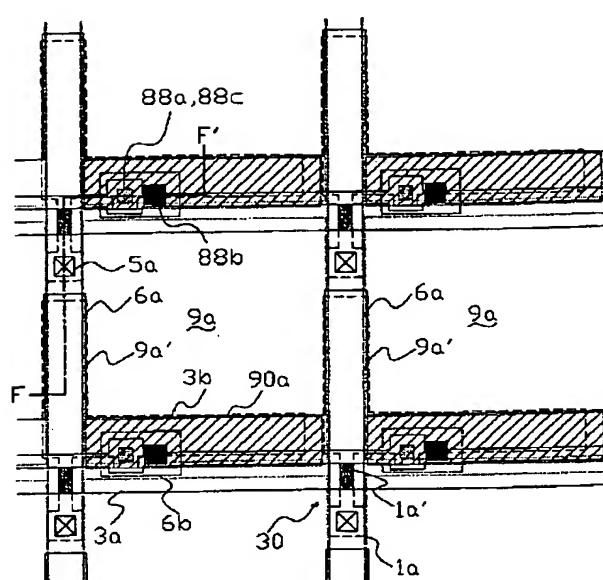


(19)

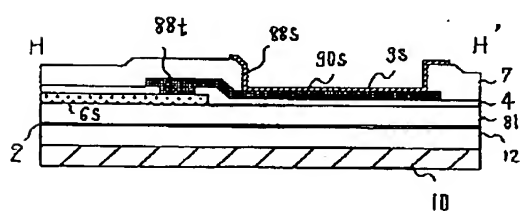
【图 1 1】



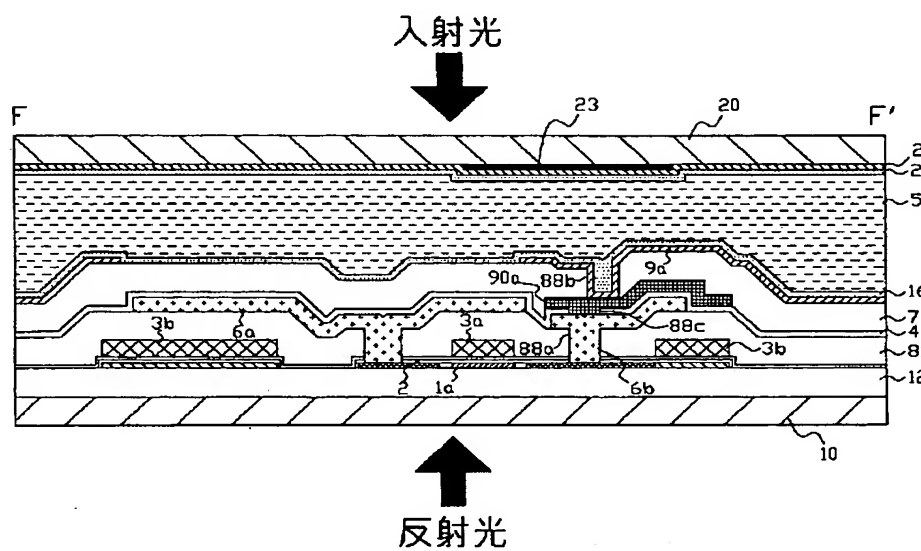
【図 12】



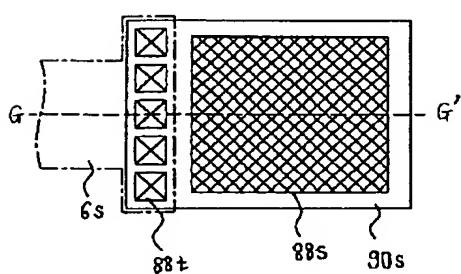
【图 17】



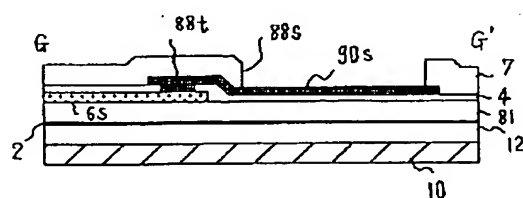
【図 13】



【图 1 4】

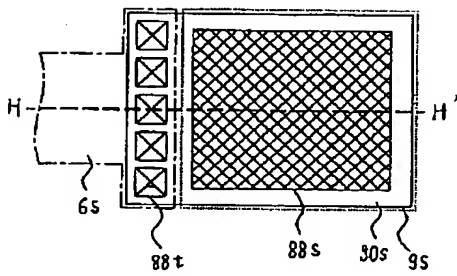


【図 15】

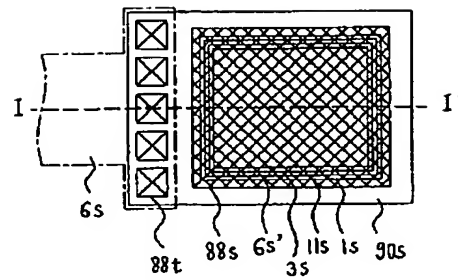


(20)

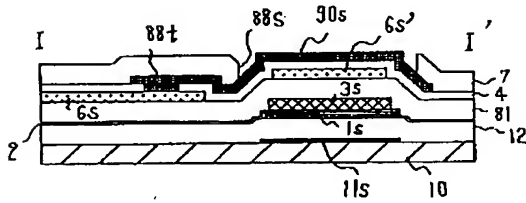
【図16】



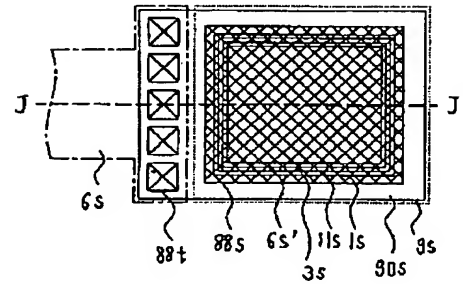
【図18】



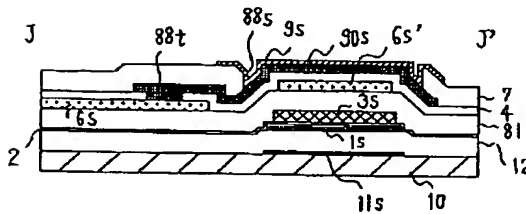
【図19】



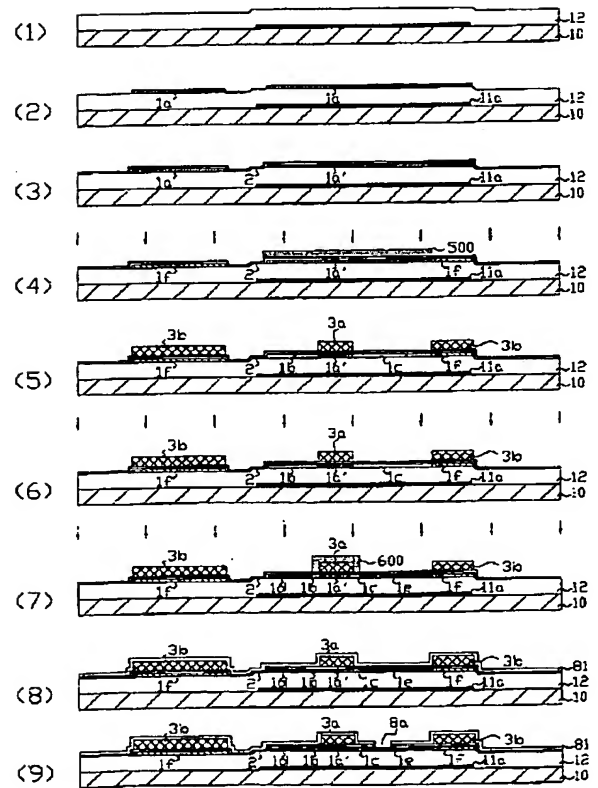
【図20】



【図21】

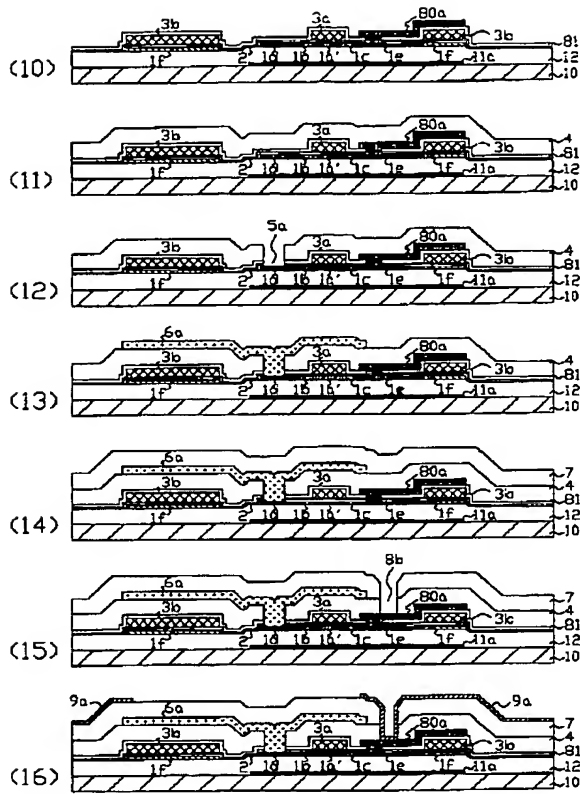


【図22】

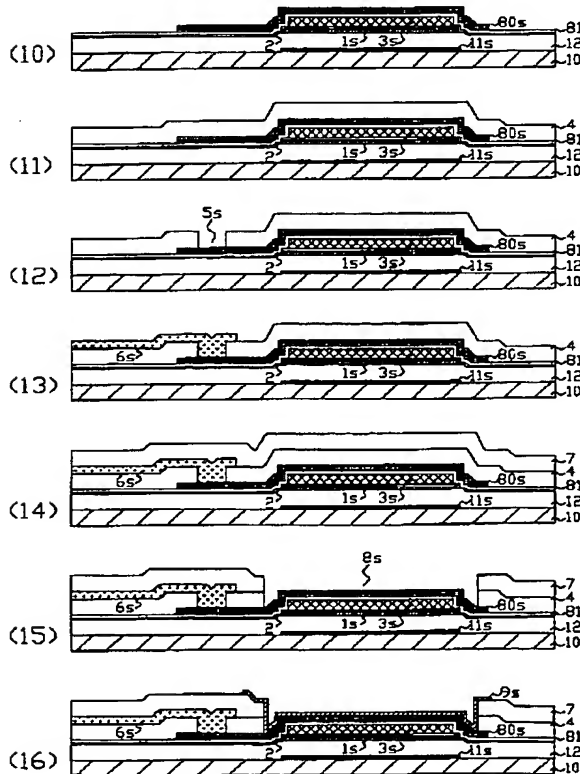


(21)

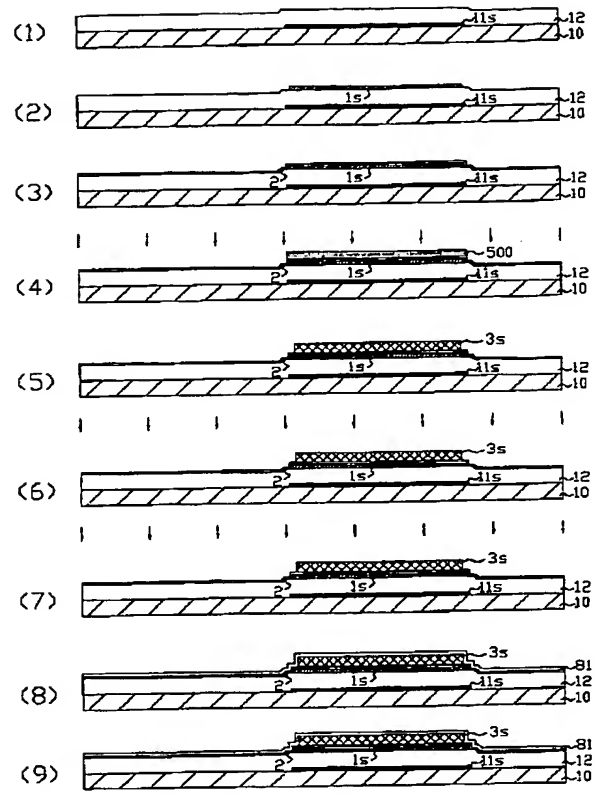
【図 2 3】



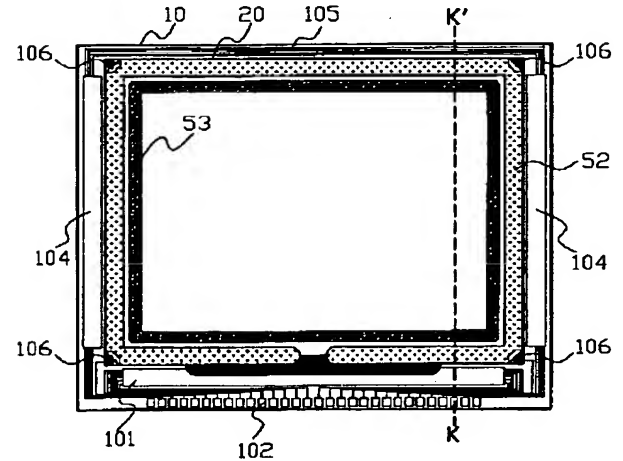
【図 2 5】



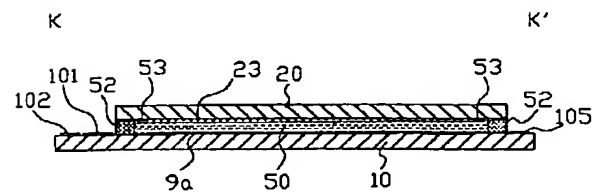
【図 2 4】



【図 2 6】



【図 2 7】



(22)

フロントページの続き

F ターム(参考) 2H092 GA59 HA25 JA25 JA29 JA38
JA42 JA44 JB13 JB23 JB32
JB33 JB38 JB54 JB58 JB63
JB69 JB77 KA04 KA07 KA16
KA18 KB14 KB23 MA05 MA08
MA14 MA15 MA16 MA18 MA19
MA20 MA22 MA27 MA32 MA35
MA37 MA41 MA56 NA15 NA19
NA25 NA27 NA29 PA06 PA08
QA07 QA15 QA18 RA05
5C058 EA26
5F110 AA18 BB01 CC02 DD02 DD03
DD05 DD12 DD25 EE09 EE28
FF02 FF03 FF09 FF23 FF29
GG02 GG13 GG24 GG25 GG47
HJ01 HJ04 HJ13 HL03 HL14
HM03 HM15 NN03 NN04 NN22
NN23 NN24 NN25 NN26 NN27
NN35 NN40 NN42 NN45 NN46
NN72 PP02 PP03 PP10 QQ03
QQ11 QQ19 QQ30